

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年2月19日 (19.02.2004)

PCT

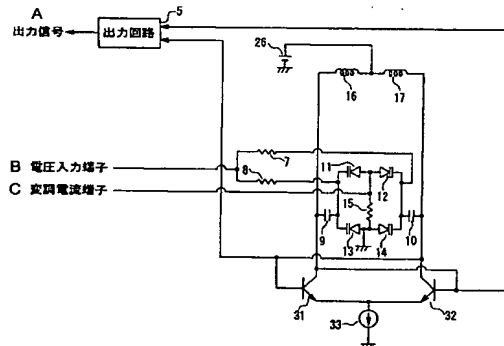
(10) 国際公開番号  
WO 2004/015856 A1

- (51) 国際特許分類<sup>7</sup>: H03F 3/45, (72) 発明者; および  
H03B 5/12, H03L 7/18, H03C 3/22 (75) 発明者/出願人 (米国についてのみ): 日野 拓生  
(21) 国際出願番号: PCT/JP2003/010235 (HINO, Takuo) [JP/JP]; 〒534-0023 大阪府 大阪市 都  
(22) 国際出願日: 2003年8月11日 (11.08.2003) 島区都島南通2-1-3-314 Osaka (JP).  
(25) 国際出願の言語: 日本語 (74) 代理人: 特許業務法人池内・佐藤アンドパートナーズ (IKEUCHI SATO & PARTNER PATENT ATTOR-  
(26) 国際公開の言語: 日本語 NEYS); 〒530-6026 大阪府 大阪市 北区天満橋1丁目8  
(30) 優先権データ: 特願2002-232409 2002年8月9日 (09.08.2002) JP 番30号OAPタワー26階 Osaka (JP).  
(71) 出願人 (米国を除く全ての指定国について): 松下電 (81) 指定国 (国内): CN, US.  
器産業株式会社 (MATSUSHITA ELECTRIC INDUS- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,  
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,  
大字門真1006番地 Osaka (JP). NL, PT, RO, SE, SI, SK, TR).

[続葉有]

(54) Title: VOLTAGE CONTROL OSCILLATOR HAVING MODULATION FUNCTION

(54) 発明の名称: 変調機能付き電圧制御発振器



A...OUTPUT SIGNAL  
5...OUTPUT CIRCUIT  
B...VOLTAGE INPUT TERMINAL  
C...MODULATION CURRENT TERMINAL

(57) Abstract: There is provided a VCO having a modulation function capable of easily constituting a correction circuit which can obtain a predetermined modulation degree even when element irregularities are present. A modulation current terminal is connected to an anode side connection point of a first and a second varactor diode. A first resistor is connected between the connection point and an anode side connection point (grounding voltage) of a third and a fourth varactor diode. Voltage deciding the oscillation frequency is input from the voltage input terminal via the second resistor to the cathode side connection point of the first and the third varactor diode and via the third resistor to the cathode side connection point of the second and the fourth varactor diode. A first and a second capacitor are connected from a power source via a first and a second inductor to the cathode side of the first and the second varactor diode. Thus, it is possible to obtain a circuit having a frequency modulation degree expressed as a function of Kv.

(57) 要約: 素子ばらつきがあっても所定の変調度が得られる補正回路を容易に構成可能な変調機能付きVCOを提供する。第1および第2のバラクタダイオードのアノード側接続点に変調電流端子が接続され、該接続点と、第3および第4のバラクタダイオードのアノード側接続点 (接地電圧) の間に第1の抵抗が接続され、電圧入力端子から、第2の抵抗を介して第1および第3のバラクタダイオードのカソード側接続点に、また第3の抵抗を介して第2および第4のバラクタ

[続葉有]



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

イオードのカソード側接続点に、発振周波数を決める電圧が入力される。電圧源から第1および第2のインダクタを介して、第1および第2のコンデンサが、第1および第2のバラクタダイオードのカソード側にそれぞれ接続される。これにより、周波数変調度を $K_v$ の関数として表わした回路が構成される。

## 明 細 書

## 変調機能付き電圧制御発振器

## 技術分野

本発明は、通信機器等に使用され、周波数変調機能を有する電圧制御  
5 発振器に関するものである。

## 背景技術

図 2 5 は、従来の通信機器に使用されている、周波数変調機能を有する電圧制御発振器（以降、VCOと略称する）の一構成例を示す回路図  
10 である。

図 2 5 において、5 は出力回路、1 1、1 2、1 3、1 4 はバラクタダイオード、1 6、1 7 はインダクタ、2 6 は電圧源を示している。

バラクタダイオード 1 3 のアノード側とバラクタダイオード 1 4 のアノード側が電圧入力端子に接続されており、バラクタダイオード 1 1 の  
15 アノード側とバラクタダイオード 1 2 のアノード側が変調信号端子に接続されている。また、バラクタダイオード 1 1 とバラクタダイオード 1 3 のカソード側がインダクタ 1 6 の一端に接続されており、バラクタダイオード 1 2 とバラクタダイオード 1 4 のカソード側がインダクタ 1 7 の一端に接続されている。インダクタ 1 6 とインダクタ 1 7 の他端は電  
20 圧源 2 6 に接続されており、インダクタとバラクタダイオードが共振することにより VCO が構成される。

変調信号端子に電圧を入力してバラクタダイオード 1 1、1 2 の容量値を変化させることにより、周波数変調がかけられる。

従来の VCO の場合、インダクタのインダクタンスやバラクタダイオ

ードのキャパシタンスがばらつくと、VCOの入力電圧対発振周波数の特性（以降、 $K_v$ と略称する）が変わってしまい、その状態で変調信号端子から変調電圧を一定振幅で入力すると、出力信号の変調度が $K_v$ のばらつきに応じて変化してしまうという問題点がある。一定の変調度を得るためには、インダクタを外付け部品としてインダクタンスを調整したり、バラクタダイオードとしてばらつきの少ないディスクリート部品を使用してVCOを構成する必要がある。また、バラクタダイオードの電圧対キャパシタンスの特性も一定ではなく、その非線形性によっても変調度が変化するので、広い発振周波数範囲でVCOを使用することが困難となっている。

近年では、通信機器の小型化が必要とされており、VCOをICに内蔵することが求められている。ICにインダクタやバラクタダイオードを内蔵する場合、素子ばらつきはディスクリート部品で構成した場合よりも大きく、VCOの必要発振周波数範囲や周波数変調時の変調度のばらつきを補正するための手段が必要となってくる。

従来のVCO回路の場合、VCOの発振周波数を決めるための電圧入力端子の電圧と、変調度を決めるための変調信号端子での制御信号振幅とは何の関係もないため、変調度のばらつきを補正するのが困難となっている。従来の周波数変調機能付きVCOでは、VCOの発振周波数を決める電圧入力端子と、周波数変調を行うための変調信号端子とは何の関係もなく、回路としては個別に制御される。

## 発明の開示

本発明のVCOでは、変調制御電流端子に対するVCO変調度を発振周波数の電圧制御端子に対するVCO発振周波数（ $K_v$ ）の関数として実現することのできる回路構成を用いることにより、素子の相対ばらつ

きによる変調度の変動を補正することができる。

補正の手法としては、周波数変動した場合は $K_v$ もある比率で変動しているため、変調度を一定にするためにはその逆比率で補正をかけることにより、変調度をすべての発振周波数で一定にするものである。

- 5      また、固定容量を共振回路に対して可変することにより発振周波数をシフトさせ複数の発振周波数バンドを有するVCOに対しては、バンドが切り替わることにより $K_v$ がある比率で変化する。バンドが切り替わった場合でもその逆比率で補正をかけるようにすれば、バンドが変化しても変調度は一定にすることができる。

- 10     広帯域な発振周波数範囲が必要な場合は、周波数に対する補正とバンド間の補正を組み合わせる使用することにより、変調度が一定になるよう補正することができる。

補正回路のシステムとしては、変調データを周波数データとバンドデータを用いてある補正比率を計算し、そのデータをデジタルーアナログ

- 15     変換器に入力してアナログ制御にすることも可能である。

デジタルーアナログ変換器を使用する場合は、デジタルーアナログ変換器のクロックノイズを除去するフィルタを備えている場合もある。

また、送信信号の変調度信号を帯域制限するような複雑な送信システムの場合は、変調ロジックが非常に複雑になる。この場合は、ROMに

- 20     帯域制限後の変調データを持たせておき、変調データを周波数データ、バンドデータによる補正をしてROMを制御し、変調度を一定に保つ補正をかけることができる。

実際に補正回路を構成すると、周波数に対する補正、バンド間に対する補正はできても、変調度のセンターが回路の絶対ばらつきにより変動する。これは、デジタルーアナログ変換器の出力レベルを変調度のセン

25     ターになるように調整することにより解決することができる。

つまり、本発明におけるVCOでは、変調度をK<sub>v</sub>の関数で表わすことのできる構成をとることにより、素子ばらつきの大きいVCOをICに内蔵しても、簡単に変調度の補正をすることを可能としている。

## 5 図面の簡単な説明

図1は、本発明の第1の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図2は、本発明の第2の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

10 図3は、本発明の第3の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図4は、本発明の第4の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

15 図5は、本発明の第5の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図6は、本発明の第6の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図7は、本発明の第7の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

20 図8は、本発明の第8の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図9は、本発明の第9の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

25 図10は、本発明の第10の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図11は、本発明の第11の実施形態に係る変調機能付き電圧制御発

振器の一構成例を示す回路図である。

図 1 2 は、本発明の第 1 2 の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図 1 3 は、本発明の第 1 3 の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図 1 4 は、本発明の第 1 4 の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図 1 5 は、本発明の第 1 5 の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図 1 6 は、本発明の第 1 6 の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図 1 7 は、本発明の第 1 7 の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図 1 8 は、本発明の第 1 8 の実施形態に係る変調機能付き電圧制御発振器の一構成例を示す回路図である。

図 1 9 は、本発明の第 5 の実施形態に係る変調機能付き電圧制御発振器を用いて PLL 回路を構成する場合の一例を示す回路ブロック図である。

図 2 0 は、図 1 から図 1 9 における出力回路の一構成例を示す回路図である。

図 2 1 は、図 1 9 における位相比較器とループフィルタの一構成例を示す回路図である。

図 2 2 は、周波数データによる補正をかける場合の電流コントロール回路の一構成例を示す回路図である。

図 2 3 は、バンドデータによる補正をかける場合の電流コントロール回路の一構成例を示す回路図である。

図 2 4 は、周波数データ、バンドデータによる補正をかける場合の電流コントロール回路の一構成例を示す回路図である。

図 2 5 は、従来の変調機能を有する V C O の一構成例を示す回路図である。

- 5 図 2 6 は、周波数バンド切替機能を使用した場合における V C O の周波数バンド特性の一例を示すグラフである。

図 2 7 は、V C O の発振周波数特性を示すグラフである。

図 2 8 は、バラクタダイオードの容量変化特性を示すグラフである。

## 10 発明を実施するための最良の形態

以下、本発明の好適な各実施形態に係る変調機能付き V C O について、図面を参照して詳細に説明する。なお、図面を通じて、同様の構成および機能を有する部分については、同一の符号を付して説明を繰り返さない。

- 15 図 1 は、本発明の第 1 の実施形態に係る変調機能付き V C O の一構成例を示す回路図である。図 1 において、5 は出力回路、7、8、15 は抵抗、9、10 はコンデンサ、11、12、13、14 はバラクタダイオード、16、17 はインダクタ、26 は電圧源、31、32 はトランジスタ、33 は電流源を示している。

- 20 上記バラクタダイオードは、その両端の端子間電圧によりキャパシタンスが変化する素子すべてを含むものとする。

インダクタ 16、17 とバラクタダイオード 11、12、13、14 および、コンデンサ 9、10 は共振部を構成し、発振動作を機能させるために発振用トランジスタ 31、32 に接続されている。

- 25 無変調時における動作としては、変調電流端子には電流が流れていないか、もしくは、固定の D C 電流が流れている状態になっている。この



状態でVCOが必要とされている発振周波数になるように電圧入力端子の電圧を決める。実際の動作としては、VCOの発振周波数はPLLで制御するものが一般的であり、PLLの周波数制御電圧を電圧入力端子に印加するようになっている。

- 5 周波数変調は、無変調時の状態から、変調電流端子への変調電流を変化させ、それによりバラクタダイオード11、12のキャパシタンスを変化させることにより行うことができる。

VCOの発振周波数／電圧入力端子の電圧を $K_v$ （単位はHz/V）  
とすると、 $K_v$ はインダクタやコンデンサ、バラクタダイオード素子の  
10 相対ばらつきにより変化する。また、バラクタダイオードの非直線性に  
起因して、VCOの発振周波数を変化させても $K_v$ は変化する。しかし、  
本実施形態のVCOの変調度は $K_v$ の関数として表わすことができる。

例として、バラクタダイオード11、12、13、14のばらつきを  
抑えるために同じ素子を並べて構成するとし、バラクタダイオード13、  
15 14は5個並列、バラクタダイオード11、12は1個の素子で構成し  
た場合の $K_v$ と変調度の関係を下記に示すと、

変調度 $= K_v \times (1/6) \times (\text{変調電流}) \times (\text{抵抗15の抵抗値})$   
となる。つまり、変調度を一定に保つためには、 $K_v$ の変化に対して逆  
関数の変調電流を与えることにより、各素子の相対ばらつきに対して影  
20 響を受けず一定の変調度を得ることができる。

出力回路5は、共振部から信号を取り出すためのものである。その一  
例を図20に示す。

図2は、本発明の第2の実施形態に係る変調機能付きVCOの一構成  
例を示す回路図であり、図1に示すVCOに周波数バンド切替機能を追  
25 加したものである。

図2において、18～21はコンデンサ、22～25はスイッチを示

しており、固定容量を共振部に接続、切り離し、もしくはキャパシタンスを変化させる機能を有しており、電圧入力端子の電圧とは独立してVCO発振周波数をシフトさせることができる。それにより、電圧入力端子の電圧変化に対し複数の周波数バンドを有したVCOを構成することができ、結果として、周波数バンドを切り替えることにより、広いVCOの発振周波数範囲を実現することができる。周波数バンドを切り替えた場合でも変調度は第1の実施形態で述べた関係式を満たしている。

図26に、周波数バンド切替機能を使用した場合のVCO特性を示す。図26において、コンデンサ18、19（コンデンサ20、21）のキャパシタンスC18、C19（C20、C21）は、C18（=C20） $<$ C19（=C21）と設定した。図26の特性は、周波数変調をかけていない状態、つまり変調電流端子に電流を入出力していないか、もしくは定電流を流している状態である。この状態から周波数変調に応じた電流を変調電流端子に入出力することにより、図26のVCO発振周波数を中心に周波数変調をかけることができる。

図3は、本発明の第3の実施形態に係る変調機能付きVCOの一構成例を示す回路図であり、図1に示すVCOに変調度を補正するための電流コントロール回路6を追加したものである。図3において、電流コントロール回路6は、周波数データと変調データから所定の変調度になるように制御されている。

ここでいう周波数データとは、ある周波数バンドにおいてバラクタダイオードの端子間にかかる電圧がいくつかということを表しているものである。VCOの発振周波数特性を正確に記述すると、バラクタダイオードの容量変化に起因して図27のような特性となる。これは、バラクタダイオードの容量変化が、バラクタダイオードの端子間にかかる電圧により、図28のような特性を有しているからである。VCO発振周波

数の特性を微分した値が $K_v$ に相当するため、ある一定の変調電流を変調信号端子から入力しただけでは、VCO周波数特性の傾きが一定でないと傾きがずれた分だけ変調度がずれてしまう。そこで、バラクタダイオードの容量変化の特性を補正するように変調電流を調整することにより、すべてのVCO発振周波数において一定の変調度を満足するように  
5 することができる。補正值としては、VCOの特性より設定周波数から逆算する方法と、PLLでロック動作させた状態における電圧入力端子電圧を使用する方法のどちらを用いてもよい。

変調データとは、補正前の変調信号のことであり、FSK (Frequency  
10 Shift Keying) の場合、変調度に応じて一定の変調振幅を持った信号のことである。電流コントロール回路6は、変調データに対し $g_m$  (相互コンダクタンス) 変換回路などの変換回路により周波数データに応じた補正をかけて所定の変調電流にする動作を行う。

図22は、周波数データにより補正をかける場合の電流コントロール  
15 回路6の一構成例を示す回路図である。図22において、この回路は $g_m$ 変換回路であり、変調データに応じた振幅を変調電流端子に流す電流に変換することができる。電流源39の電流値を $I_1$ 、電流源43、44の電流値 $I_2$ とすると、 $I_1$ と $I_2$ の比によって $g_m$ 値は決定される。本回路は、トランジスタ60のコレクタから流れる電流を $I_3$ とすると、  
20  $I_2$ と $I_3$ を、 $I_2 = A \times I_3$  ( $A$ は定数)、もしくは $I_2 = A \times I_3 + B$  ( $A$ と $B$ は定数) の式を満たすように構成されている。 $I_3$ は周波数データ (バラクタダイオードに印加されている電圧) により変化する電流であり、図28のダイオード特性により $K_v$ が変化することで変調度  
25 変化するのを、そのダイオード特性の容量変化比に合わせて $I_3$ を変化させることにより、補正回路を実現している。

図4は、本発明の第4の実施形態に係る変調機能付きVCOの一構成

例を示す回路図であり、図 2 に示す VCO に変調度を補正するための電流コントロール回路 6 を追加したものである。図 4 において、電流コントロール回路 6 は、周波数バンドデータと変調データから所定の変調度になるように、変調電流の制御を行う。

- 5      これは、図 2 6 に示すように、周波数バンドが変化すると VCO の発振周波数の傾きが変化するために、バンドに応じた補正をかける必要があるためである。この補正により、周波数バンドを変えることによる  $K_v$  の変化による変調度のずれを補正することができる。

図 2 3 は、バンドデータによる補正をかける場合の電流コントロール回路 6 の一構成例を示す回路図である。

バンドデータに応じて電流  $I_2$  を変化させることにより  $g_m$  値を変化させ、バンドが変わったときの変調度のずれを補正することが可能となっている。動作としては、周波数バンドに応じてスイッチ 7 9 ~ 8 2 が開閉することにより  $g_m$  値が変化する。

- 15      図 5 は、本発明の第 5 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 2 に示す VCO に変調度を補正するための電流コントロール回路 6 を追加したものである。図 5 において、電流コントロール回路 6 は、周波数データと、周波数バンドデータと、変調データから所定の変調度になるように、変調電流の制御を行う。

- 20      図 2 4 は、周波数データとバンドデータによる補正をかける場合の電流コントロール回路 6 の一構成例を示す回路図である。動作としては、上記の図 3、図 4 における回路動作の組み合わせとなる。

- 図 6 は、本発明の第 6 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 1 に示す VCO に、変調度を補正するための電流出力が可能なデジタルーアナログ変換器 2 7 と、デジタルーアナログ変換器 2 7 を制御するための演算回路 2 8 とを追加したものである。
- 25

周波数データと変調データが演算回路 28 に入力され、デジタルーアナログ変換器 27 から VCO が所定の変調度を出力するように、補正後の変調電流が制御される。

図 7 は、本発明の第 7 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 6 に示す VCO において、変調度を補正するための電流出力が可能なフィルタ 29 をデジタルーアナログ変換器 27 と変調電流端子との間に設けたものである。図 7 において、フィルタ 29 は、デジタルーアナログ変換器 27 のクロックノイズを除去する機能を有している。

図 8 は、本発明の第 8 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 2 に示す VCO に、変調度を補正するための電流出力が可能なデジタルーアナログ変換器 27 と、デジタルーアナログ変換器 27 を制御するための演算回路 28 とを追加したものである。周波数バンドデータと変調データが演算回路 28 に入力され、デジタルーアナログ変換器 27 から VCO が所定の変調度を出力するように、補正後の変調電流が制御される。

図 9 は、本発明の第 9 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 8 に示す VCO において、変調度を補正するための電流出力が可能なフィルタ 29 をデジタルーアナログ変換器 27 と変調電流端子との間に設けたものである。図 9 において、フィルタ 29 は、デジタルーアナログ変換器 27 のクロックノイズを除去する機能を有している。

図 10 は、本発明の第 10 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 2 に示す VCO に、変調度を補正するための電流出力が可能なデジタルーアナログ変換器 27 と、デジタルーアナログ変換器 27 を制御するための演算回路 28 とを追加したものであ

る。周波数データと、バンドデータと、変調データとが演算回路 28 に入力され、デジタル・アナログ変換器 27 から VCO が所定の変調度を出力するように、補正後の変調電流が制御される。

図 11 は、本発明の第 11 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 10 に示す VCO において、変調度を補正するための電流出力が可能なフィルタ 29 をデジタル・アナログ変換器 27 と変調電流端子との間に設けたものである。図 11 において、フィルタ 29 は、デジタル・アナログ変換器 27 のクロックノイズを除去する機能を有している。

図 12 は、本発明の第 12 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 7 に示す VCO において、デジタル・アナログ変換器 27 と演算回路 28 との間に、演算回路 28 からのアドレス信号に対応するデータ信号が格納された ROM 30 を設けたものである。ROM 30 を設けることにより、演算回路 28 の回路構成を簡略化すること、また、帯域制限した変調データ等を ROM 30 に入力しておくことにより、より複雑な変調信号を出力することを可能としている。

図 13 は、本発明の第 13 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 9 に示す VCO において、デジタル・アナログ変換器 27 と演算回路 28 との間に、演算回路 28 からのアドレス信号に対応するデータ信号が格納された ROM 30 を設けたものである。

図 14 は、本発明の第 14 の実施形態に係る変調機能付き VCO の一構成例を示す回路図であり、図 11 に示す VCO において、デジタル・アナログ変換器 27 と演算回路 28 との間に、演算回路 28 からのアドレス信号に対応するデータ信号が格納された ROM 30 を設けたものである。

図 1 5 は、本発明の第 1 5 の実施形態に係る変調機能付き V C O の一構成例を示す回路図であり、図 1 2 に示す V C O におけるデジタルアナログ変換器 2 7 に、振幅補正データにより出力レベルを補正する機能を追加したものである。振幅補正は、R O M 3 0、デジタルアナログ変換器 2 7、フィルタ 2 9 を信号が通るときの振幅ばらつきを補正するためのものであり、V C O の変調度を規格のセンターに調整するためのものである。

図 1 6 は、本発明の第 1 6 の実施形態に係る変調機能付き V C O の一構成例を示す回路図であり、図 1 3 に示す V C O におけるデジタルアナログ変換器 2 7 に、振幅補正データにより出力レベルを補正する機能を追加したものである。

図 1 7 は、本発明の第 1 7 の実施形態に係る変調機能付き V C O の一構成例を示す回路図であり、図 1 4 に示す V C O におけるデジタルアナログ変換器 2 7 に、振幅補正データにより出力レベルを補正する機能を追加したものである。

図 1 8 は、本発明の第 1 8 の実施形態に係る変調機能付き V C O の一構成例を示す回路図であり、図 1 に示す V C O におけるバラクタダイオードの極性を反転した場合のものである。図 1 8 において、ダイオードの極性反転に伴い、図 1 に示す V C O におけるバラクタダイオード 1 3、1 4 のアノード側を接地電圧 (G n d) に接続したのに対して、反転後のバラクタダイオード 1 3、1 4 のカソード側を電圧源 3 4 0 に接続している。電圧源 3 4 0 の電圧は、電源入力端子の電圧よりも高い電圧になるように設定される。この構成は、図 1 ~ 図 1 7 を参照して説明した第 1 から第 1 7 の実施形態すべてに応用することができる。

図 1 9 は、図 5 に示す V C O を P L L 制御する場合の一構成例を示す回路ブロック図である。

図 19 において、1 は基準信号器、2 は位相比較器、3 はループフィルタ、4 は分周器を示している。基準信号発振器 1 からの信号と、VCO の出力回路 5 からの信号を分周器 4 で分周した信号とが位相比較器 2 にて位相比較され、位相比較結果がループフィルタ 3 にて平滑化され、

5 ループフィルタ 3 の出力信号が VCO の電圧入力端子に与えられる。図 21 は、位相比較器 2 とループフィルタ 3 の一構成例を示す回路図である。位相比較器 2 は、位相比較回路、電流源 37、38、電圧源 63、スイッチ 77、78 により構成され、チャージポンプ機能を有している。この構成により、VCO の発振周波数が一定になるように制御される、

10 また VCO の発振周波数を変える場合には、分周器 4 の分周比を変えることにより実現できる。

周波数変調動作をする場合は、スイッチ 77、78 が開状態となり、位相比較器 2 の出力インピーダンスを強制的にハイインピーダンス状態とする。VCO の電圧入力端子の電圧はループフィルタ 3 を構成するコンデンサ 75、76 により固定される。この状態で、変調電流端子に電

15 流を入出力することにより変調動作が行われる。

図 19 に示す PLL 回路は、図 1 ～ 図 18 に示す VCO でも同様に構成することができる。

以上説明したように、本発明の変調機能付き VCO によれば、周波数

20 変調度を  $K_v$  の関数として表わす回路構成とすることで、各回路素子にばらつきがあっても所定の変調度を得ることのできる補正回路を容易に構成することが可能になる。



## 請求の範囲

1. 第1のバラクタダイオードと、

5 アノード側が前記第1のバラクタダイオードのアノード側と接地電圧に接続された第2のバラクタダイオードと、

カソード側が前記第1のバラクタダイオードのカソード側に接続された第3のバラクタダイオードと、

10 アノード側が前記第3のバラクタダイオードのアノード側に接続され、カソード側が前記第2のバラクタダイオードのカソード側に接続された第4のバラクタダイオードと、

前記第3のバラクタダイオードと前記第4のバラクタダイオードのアノード側接続点と、前記第1のバラクタダイオードと前記第2のバラクタダイオードのアノード側接続点との間に接続された第1の抵抗と、

15 前記第3のバラクタダイオードと前記第4のバラクタダイオードのアノード側に接続され、周波数変調をかけるための変調電流端子と、

前記第1のバラクタダイオードと前記第3のバラクタダイオードのカソード側接続点と電圧入力端子との間に接続された第2の抵抗と、

前記第2のバラクタダイオードと前記第4のバラクタダイオードのカソード側接続点と前記電圧入力端子との間に接続された第3の抵抗と、

20 前記第1のバラクタダイオードと前記第3のバラクタダイオードのカソード側接続点に一端が接続された第1のコンデンサと、

一端が前記第1のコンデンサの他端に接続された第1のインダクタと、

前記第2のバラクタダイオードと前記第4のバラクタダイオードのカソード側接続点に一端が接続された第2のコンデンサと、

25 一端が前記第2のコンデンサの他端に接続された第2のインダクタと、前記第1および第2のインダクタの他端に接続された電圧源とを備え、

電流制御により周波数変調波を出力するように構成したことを特徴とする変調機能付き電圧制御発振器。

2. 前記第1のインダクタと協働して第1のLC共振部を構成する前記第1のコンデンサを含めたコンデンサの容量値と、前記第2のイン  
5 ダクタと協働して第2のLC共振部を構成する前記第2のコンデンサを含めたコンデンサの容量値を変化せることで、発振周波数をシフトさせ、複数の周波数バンドを得るように構成した請求項1記載の変調機能付き電圧制御発振器。

3. 前記変調機能付き電圧制御発振器は、前記変調電流端子に設け  
10 られ、変調データと周波数データに基づいて変調電流を制御する電流コントロール回路を備えた請求項1記載の変調機能付き電圧制御発振器。

4. 前記変調機能付き電圧制御発振器は、前記変調電流端子に設けられ、変調データとバンドデータに基づいて変調電流を制御する電流コントロール回路を備えた請求項2記載の変調機能付き電圧制御発振器。

15 5. 前記変調機能付き電圧制御発振器は、前記変調電流端子に設けられ、変調データ、周波数データ、およびバンドデータとに基づいて変調電流を制御する電流コントロール回路を備えた請求項2記載の変調機能付き電圧制御発振器。

6. 前記変調機能付き電圧制御発振器は、  
20 変調データと周波数データが入力され、変調電流を演算により補正するための演算回路と、

前記演算回路により補正されたデジタルの変調電流を受けて、前記変調電流端子へのアナログの変調電流に変換するデジタルーアナログ変換器とを備えた請求項1記載の変調機能付き電圧制御発振器。

25 7. 前記変調機能付き電圧制御発振器は、前記変調電流端子と前記デジタルーアナログ変換器との間に設けられ、前記デジタルーアナログ

変換器のデジタルノイズを除去するためのフィルタを備えた請求項 6 記載の変調機能付き電圧制御発振器。

8. 前記変調機能付き電圧制御発振器は、  
変調データとバンドデータを受けて、変調電流を演算により補正する  
5 ための演算回路と、

前記演算回路により補正されたデジタルの変調電流を受けて、前記変調電流端子へのアナログの変調電流に変換するデジタルーアナログ変換器とを備えた請求項 2 記載の変調機能付き電圧制御発振器。

9. 前記変調機能付き電圧制御発振器は、前記変調電流端子と前記  
10 デジタルーアナログ変換器との間に設けられ、前記デジタルーアナログ変換器のデジタルノイズを除去するためのフィルタを備えた請求項 8 記載の変調機能付き電圧制御発振器。

10. 変調機能付き電圧制御発振器は、  
変調データ、周波数データ、およびバンドデータを受けて、変調電流  
15 を演算により補正するための演算回路と、

前記演算回路により補正されたデジタルの変調電流を受けて、前記変調電流端子へのアナログの変調電流に変換するデジタルーアナログ変換器とを備えた請求項 2 記載の変調機能付き電圧制御発振器。

11. 前記変調機能付き電圧制御発振器は、前記変調電流端子とデ  
20 ジタルーアナログ変換器との間に設けられ、前記デジタルーアナログ変換器のデジタルノイズを除去するためのフィルタを備えた請求項 10 記載の変調機能付き電圧制御発振器。

12. 前記変調機能付き電圧制御発振器は、  
変調データと周波数データを受けて、変調電流を演算により補正する  
25 ための演算回路と、

前記演算回路により補正されたデジタルの変調電流をアドレス信号と

して受けて、内部に格納されているデータ信号を出力するROMと、

前記ROMからのデータ信号を受けて、前記変調電流端子へのアナログの変調電流に変換するデジタルーアナログ変換器と、

前記変調電流端子と前記デジタルーアナログ変換器との間に設けられ、

- 5 前記デジタルーアナログ変換器のデジタルノイズを除去するためのフィルタとを備えた請求項1記載の変調機能付き電圧制御発振器。

13. 前記変調機能付き電圧制御発振器は、

変調データとバンドデータを受けて、変調電流を演算により補正するための演算回路と、

- 10 前記演算回路により補正されたデジタルの変調電流をアドレス信号として受けて、内部に格納されているデータ信号を出力するROMと、

前記ROMからのデータ信号を受けて、前記変調電流端子へのアナログの変調電流に変換するデジタルーアナログ変換器と、

前記変調電流端子と前記デジタルーアナログ変換器との間に設けられ、

- 15 前記デジタルーアナログ変換器のデジタルノイズを除去するためのフィルタとを備えた請求項2記載の変調機能付き電圧制御発振器。

14. 前記変調機能付き電圧制御発振器は、

変調データ、周波数データ、およびバンドデータを受けて、変調電流を演算により補正するための演算回路と、

- 20 前記演算回路により補正されたデジタルの変調電流をアドレス信号として受けて、内部に格納されているデータ信号を出力するROMと、

前記ROMからのデータ信号を受けて、前記変調電流端子へのアナログの変調電流に変換するデジタルーアナログ変換器と、

前記変調電流端子と前記デジタルーアナログ変換器との間に設けられ、

- 25 前記デジタルーアナログ変換器のデジタルノイズを除去するためのフィルタとを備えた請求項2記載の変調機能付き電圧制御発振器。

15. 前記デジタルーアナログ変換器は、変調度のセンター値を調整するために、振幅補正データに基づいて出力振幅レベルを補正する請求項12記載の変調機能付き電圧制御発振器。

16. 前記デジタルーアナログ変換器は、変調度のセンター値を調整するために、振幅補正データに基づいて出力振幅レベルを補正する請求項13記載の変調機能付き電圧制御発振器。

17. 前記デジタルーアナログ変換器は、変調度のセンター値を調整するために、振幅補正データに基づいて出力振幅レベルを補正する請求項14記載の変調機能付き電圧制御発振器。

18. 第1のバラクタダイオードと、  
カソード側が前記第1のバラクタダイオードのカソード側と接地電圧に接続された第2のバラクタダイオードと、  
アノード側が前記第1のバラクタダイオードのアノード側に接続された第3のバラクタダイオードと、  
15 カソード側が前記第3のバラクタダイオードのカソード側に接続され、アノード側が前記第2のバラクタダイオードのアノード側に接続された第4のバラクタダイオードと、  
前記第3のバラクタダイオードと前記第4のバラクタダイオードのカソード側接続点と、前記第1のバラクタダイオードと前記第2のバラクタダイオードのカソード側接続点との間に接続された第1の抵抗と、  
20 前記第3のバラクタダイオードと前記第4のバラクタダイオードのカソード側に接続され、周波数変調をかけるための変調電流端子と、  
前記第1のバラクタダイオードと前記第3のバラクタダイオードのアノード側接続点と電圧入力端子との間に接続された第2の抵抗と、  
25 前記第2のバラクタダイオードと前記第4のバラクタダイオードのアノード側接続点と前記電圧入力端子との間に接続された第3の抵抗と、

前記第 1 のバラクタダイオードと前記第 3 のバラクタダイオードのアンロード側接続点に一端が接続された第 1 のコンデンサと、

一端が前記第 1 のコンデンサの他端に接続された第 1 のインダクタと、

前記第 2 のバラクタダイオードと前記第 4 のバラクタダイオードのアン

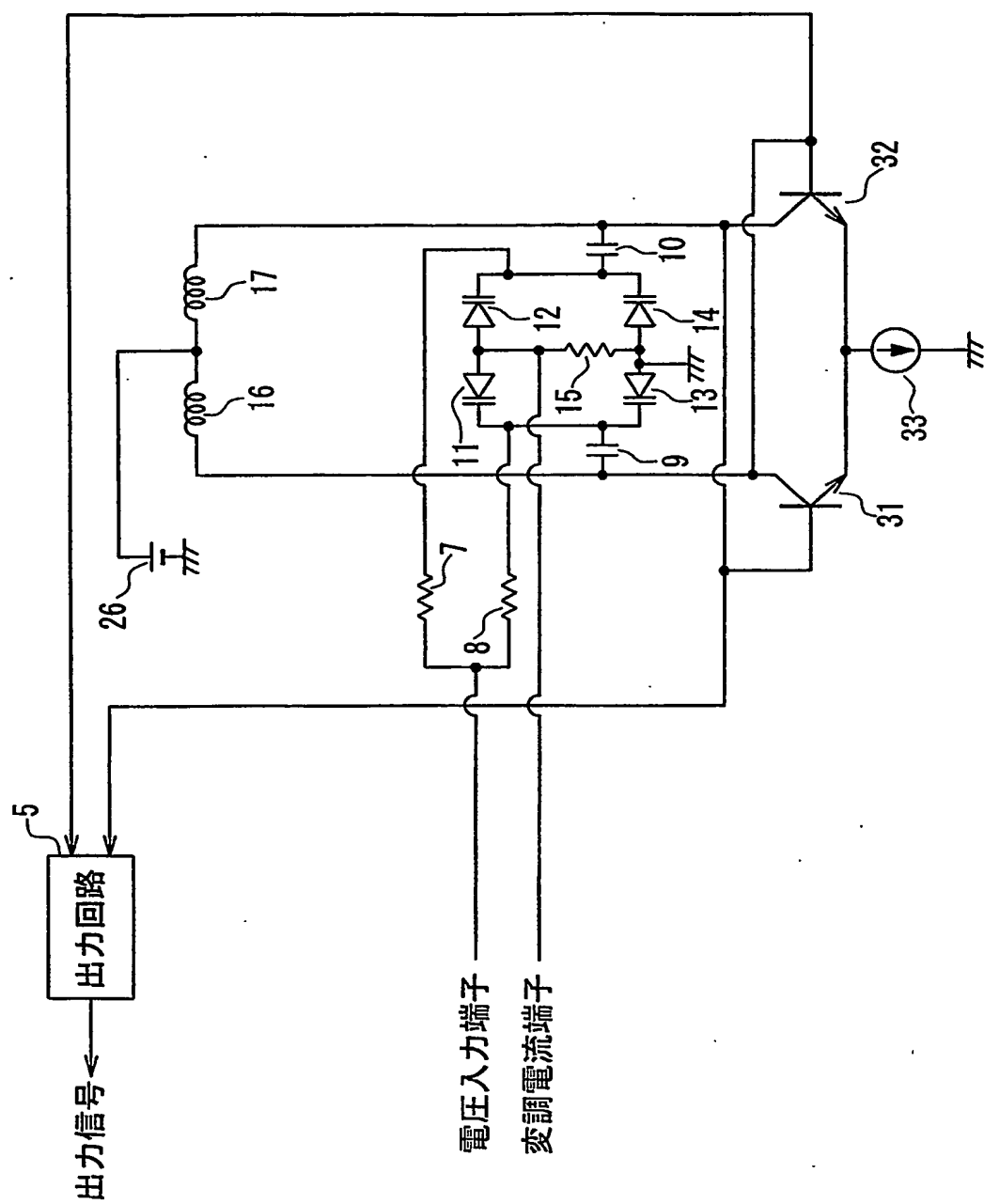
5 ノード側接続点に一端が接続された第 2 のコンデンサと、

一端が前記第 2 のコンデンサの他端に接続された第 2 のインダクタと、

前記第 1 および第 2 のインダクタの他端に接続された電圧源とを備え、

電流制御により周波数変調波を出力するように構成したことを特徴とする変調機能付き電圧制御発振器。

10 19. 前記周波数データに代えて、前記電圧入力端子からの入力電圧を用いた請求項 3、5～7、10～12、14、15 若しくは 17 記載の変調機能付き電圧制御発振器。



**FIG. 1**

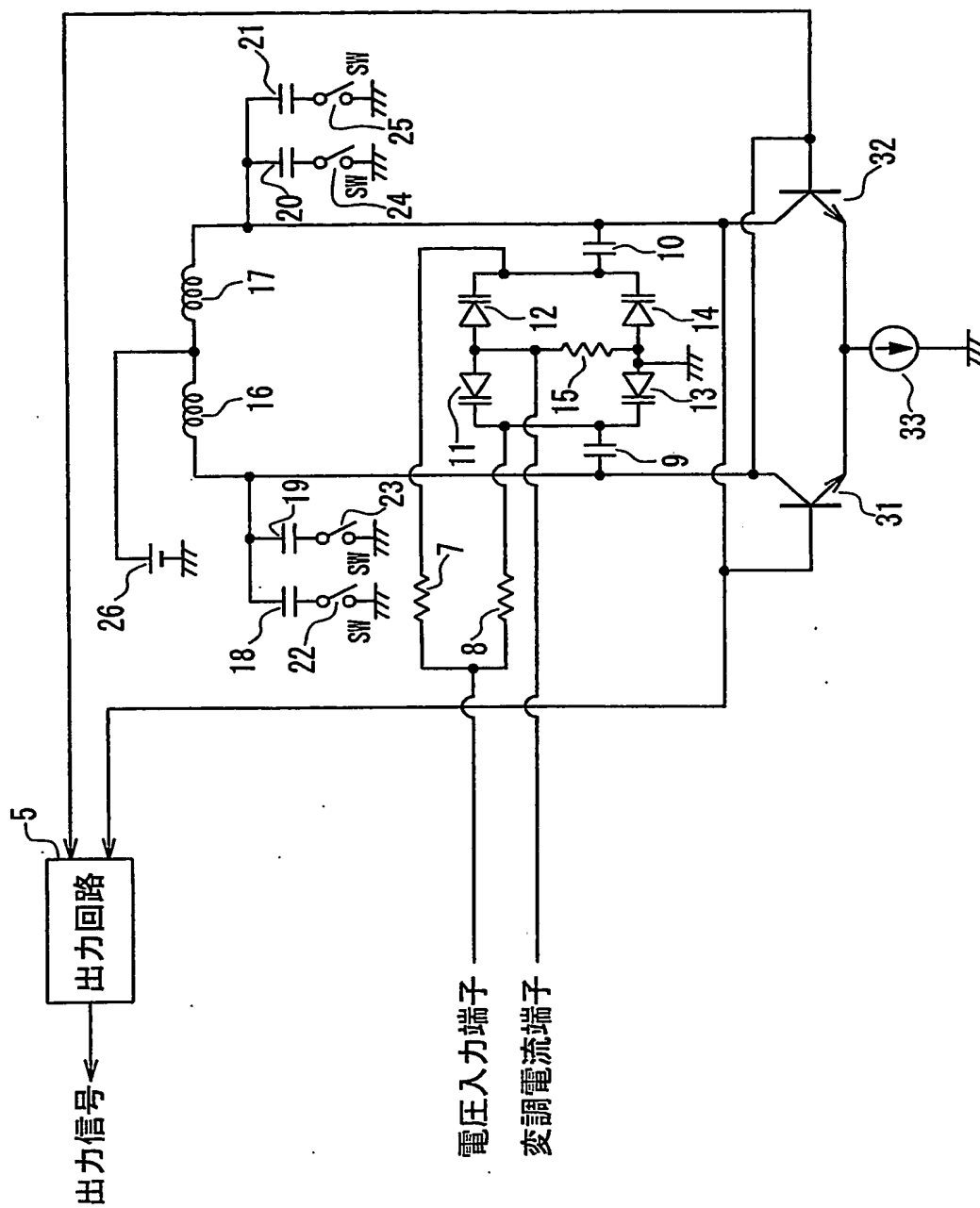


FIG. 2



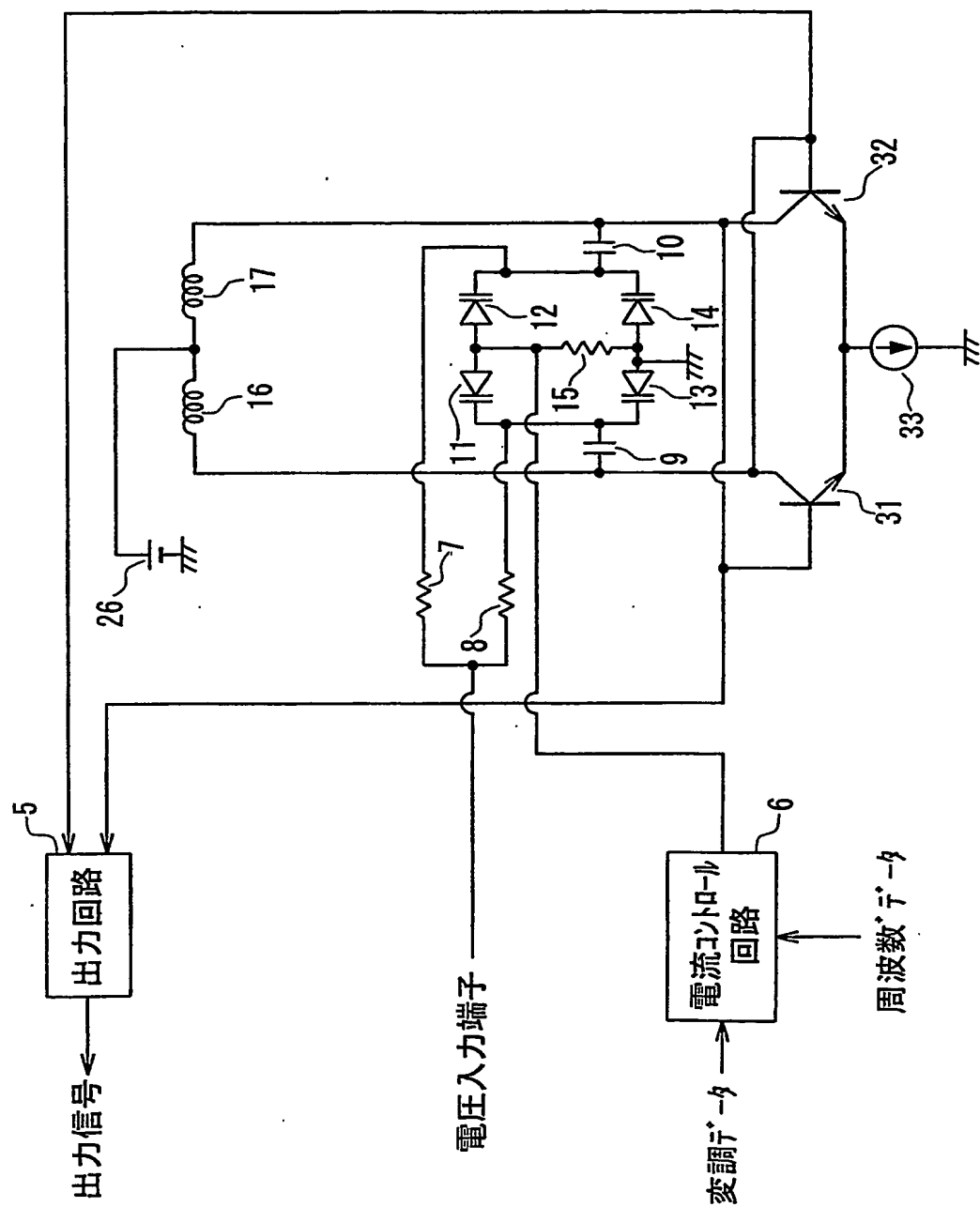


FIG. 3

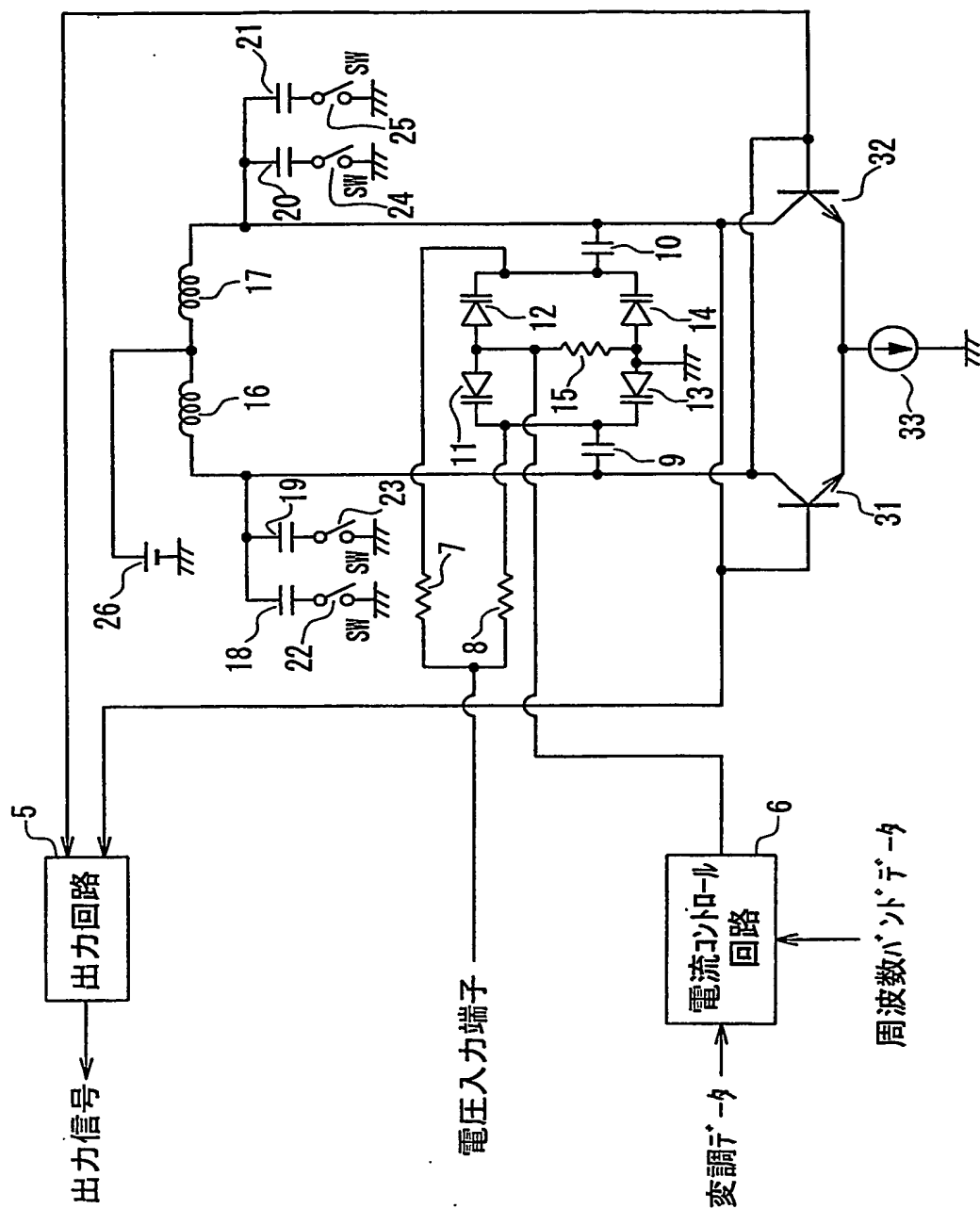


FIG. 4

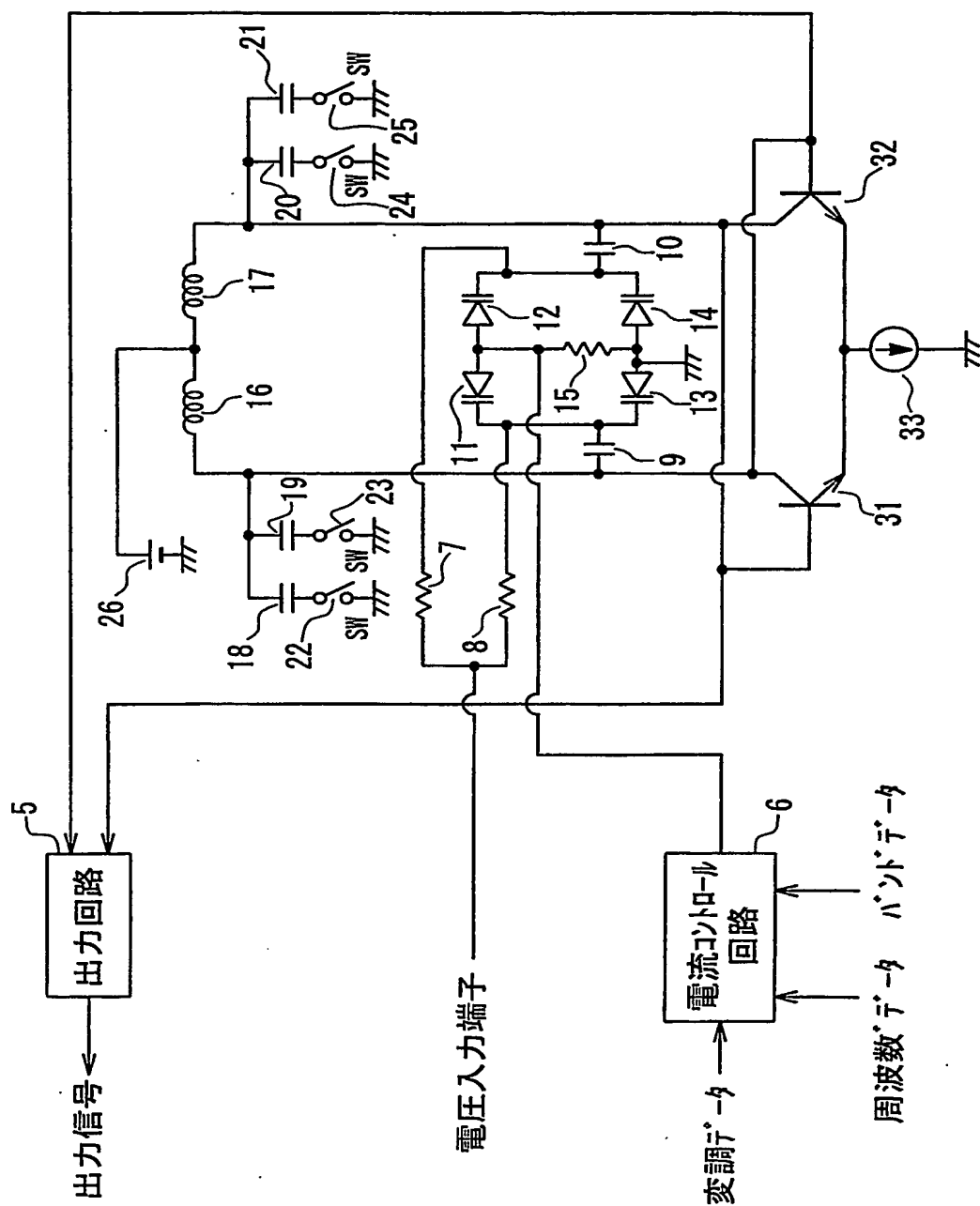


FIG. 5

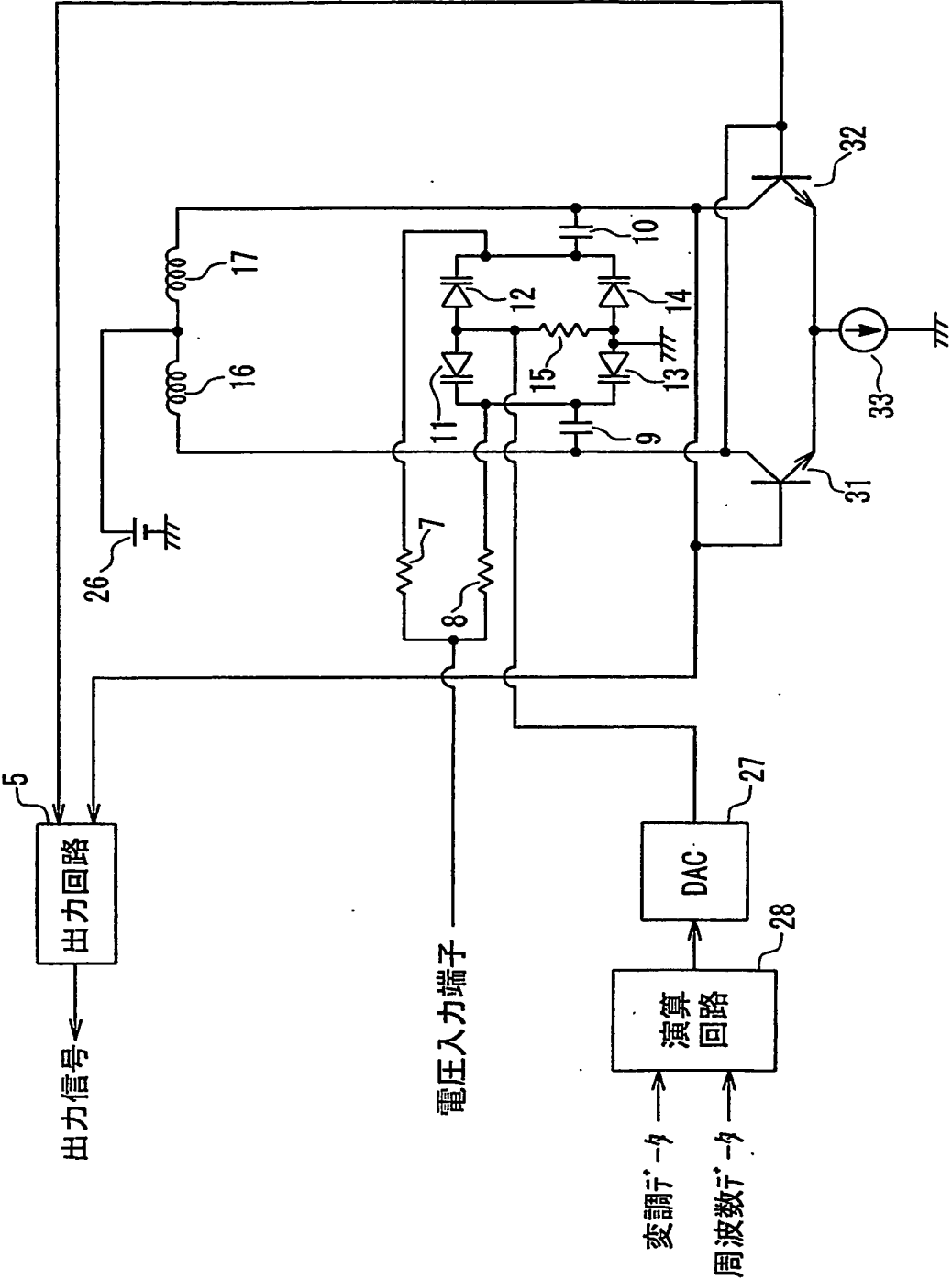
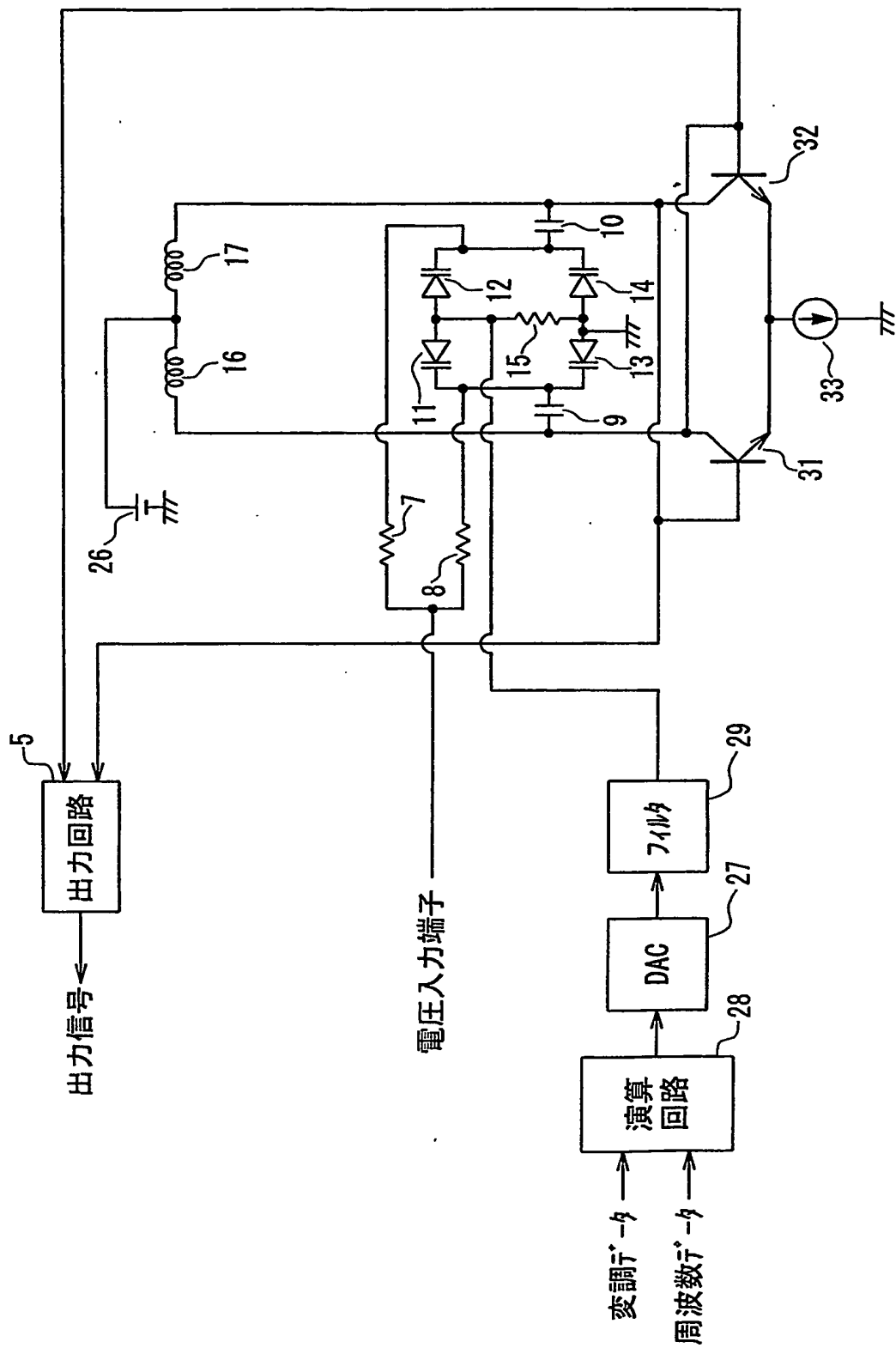
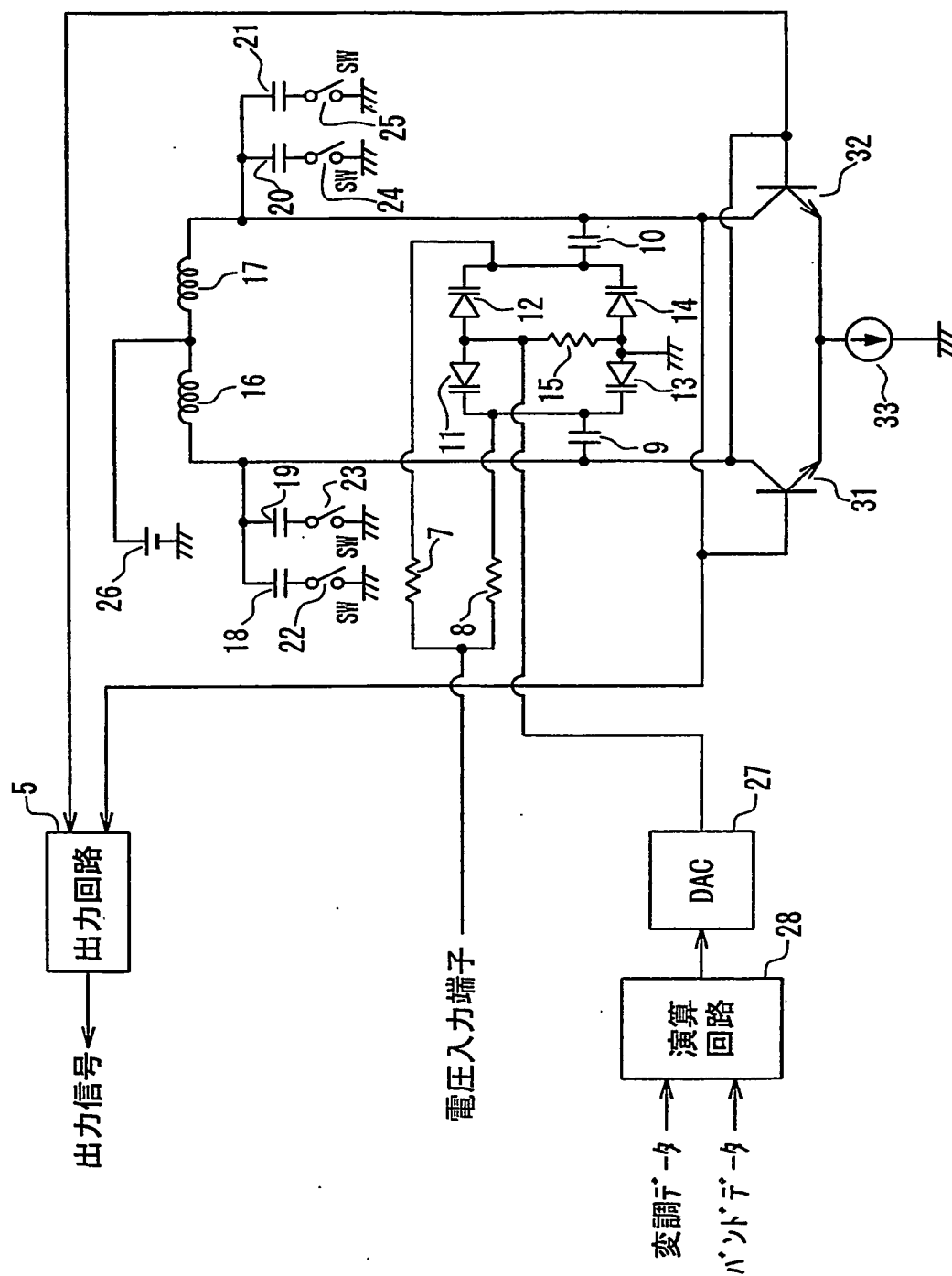


FIG. 6





**FIG. 8**

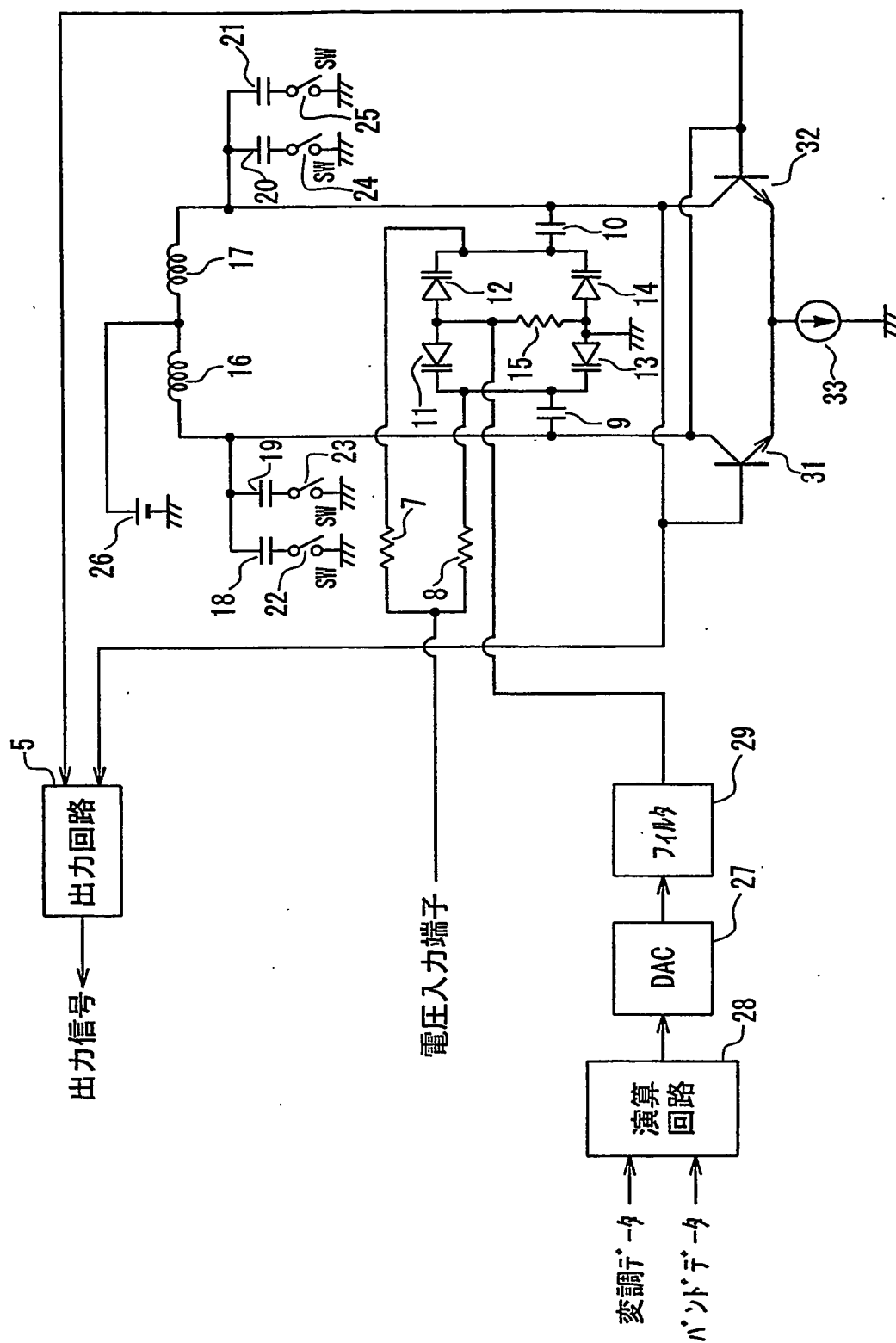
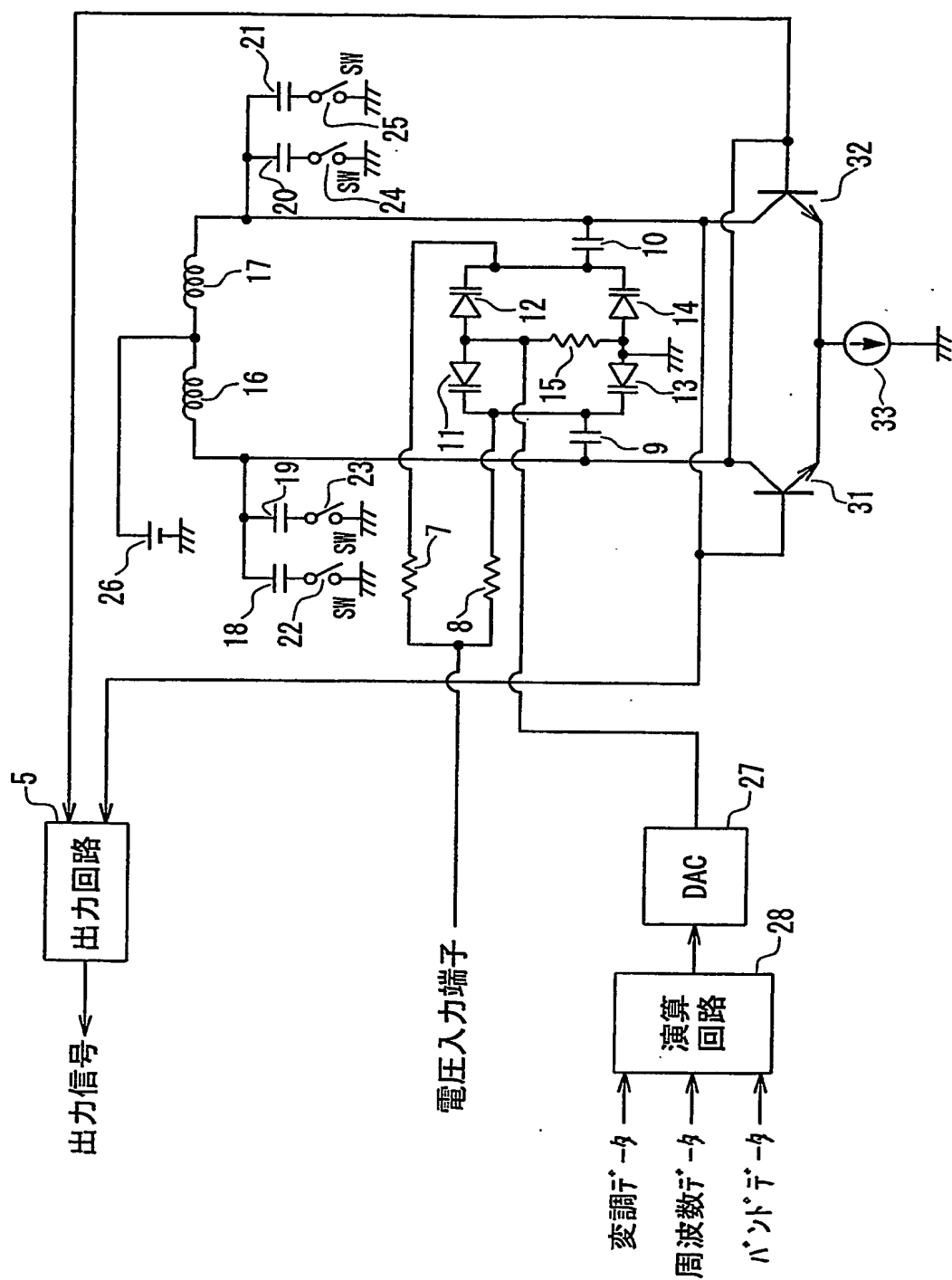


FIG. 9



**FIG. 10**



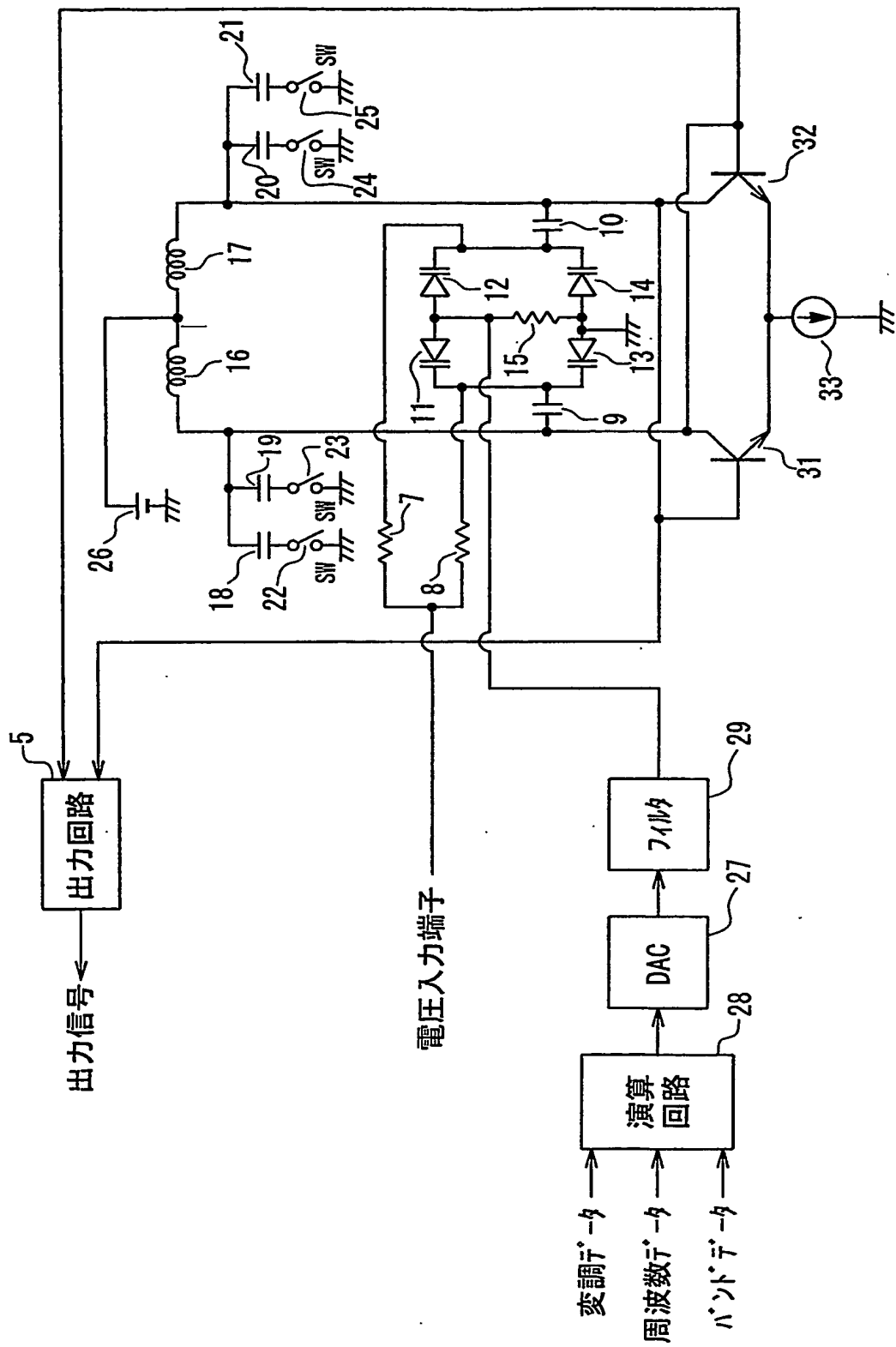


FIG. 11

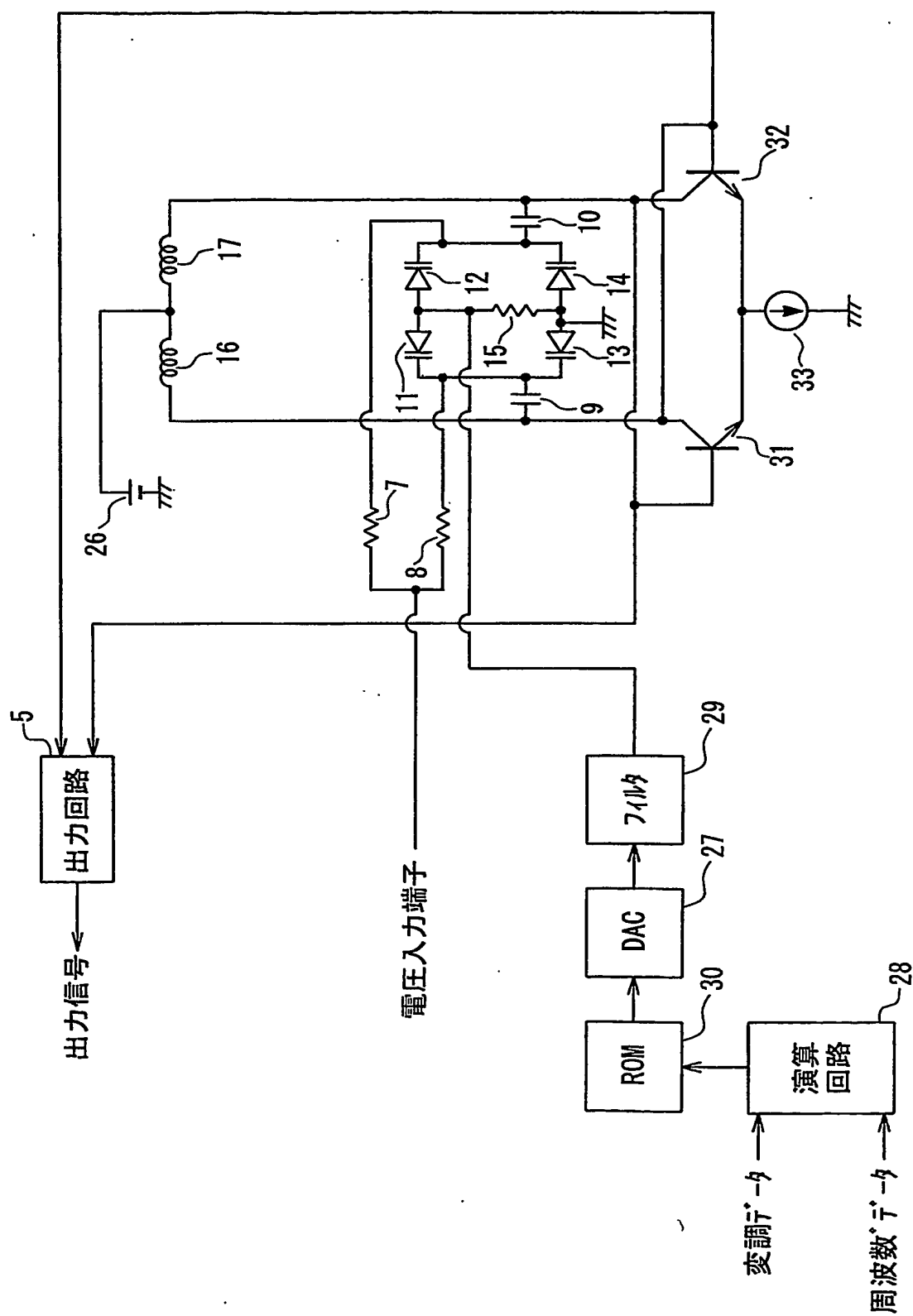


FIG. 12

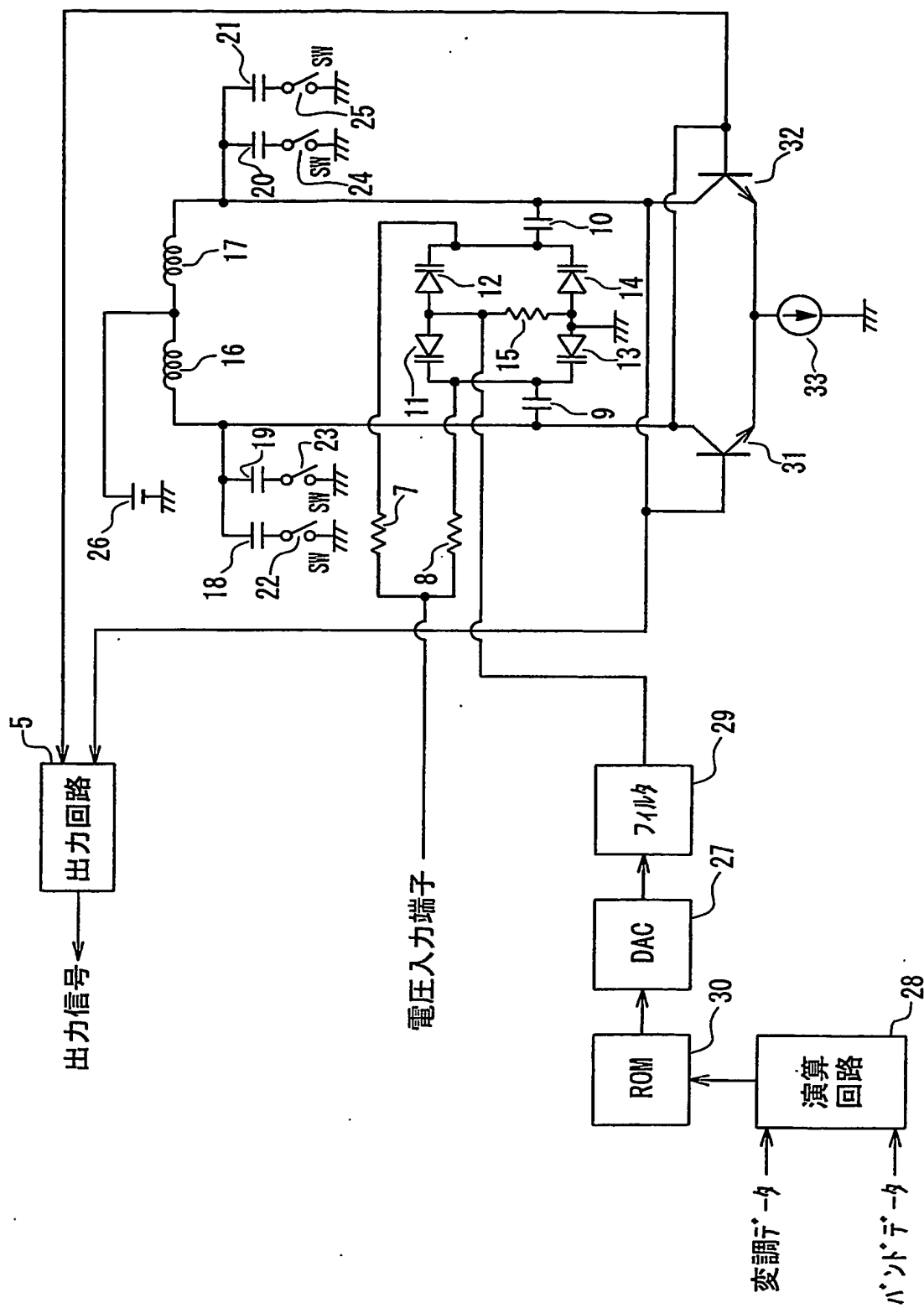
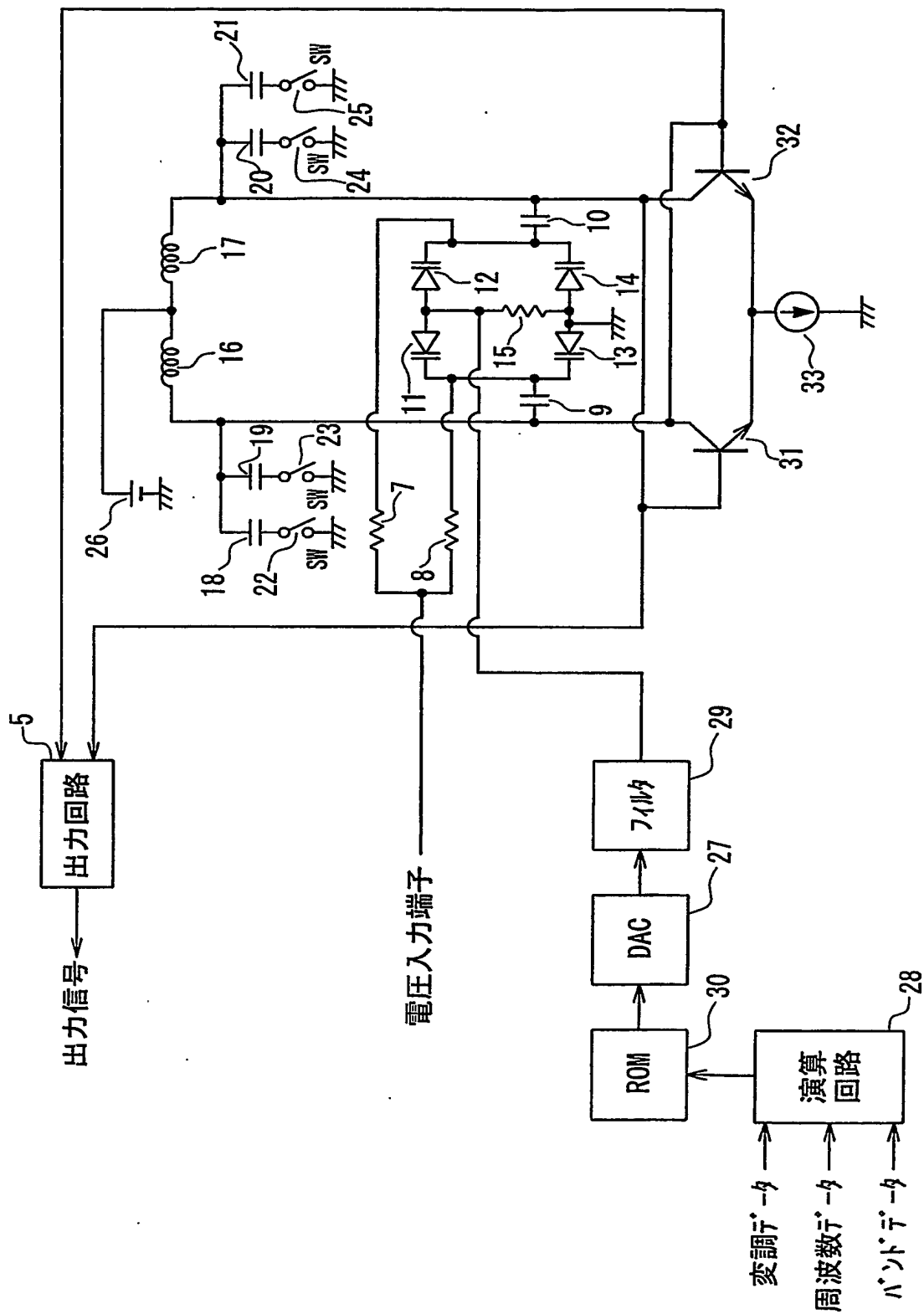


FIG. 13



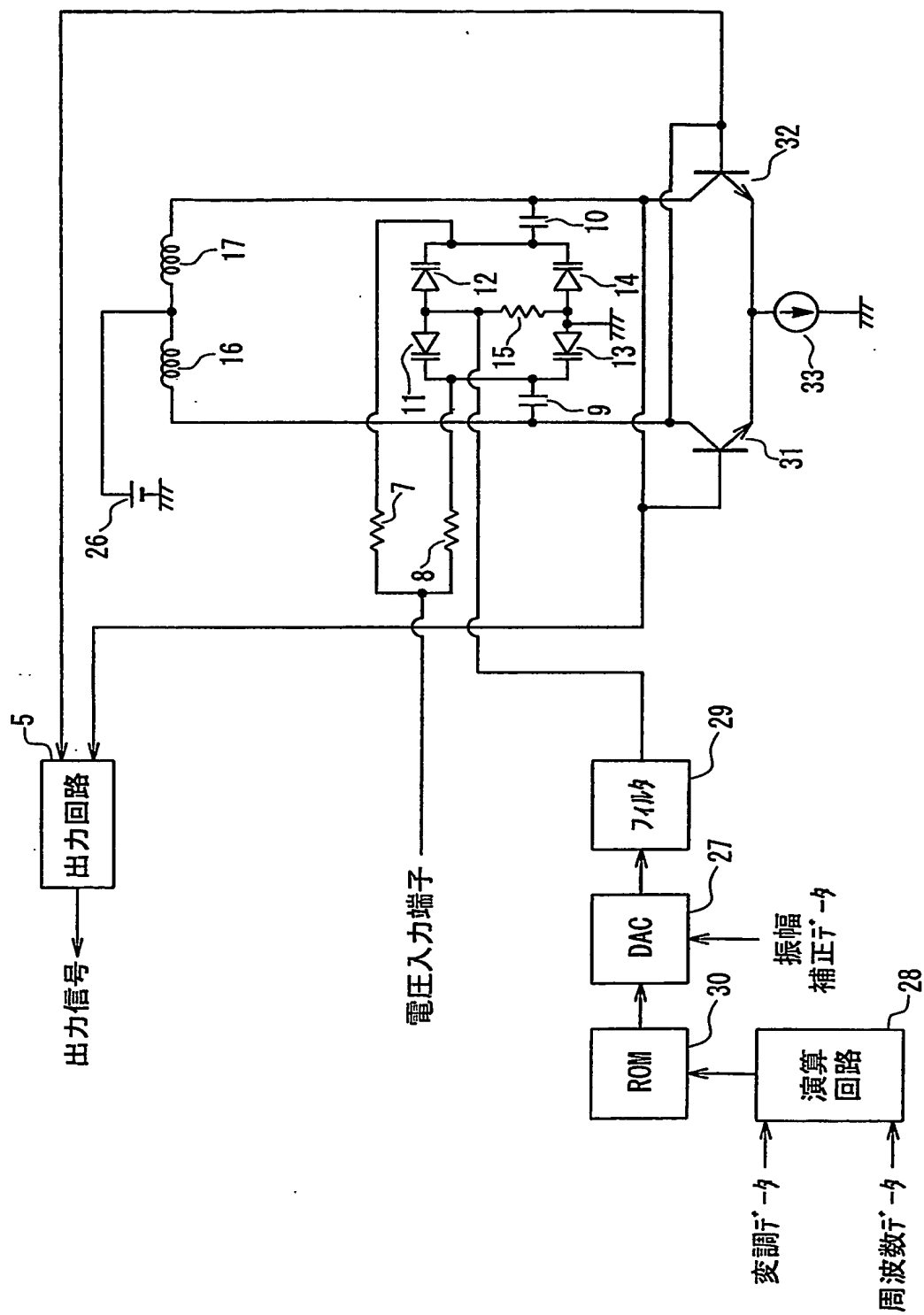


FIG. 15

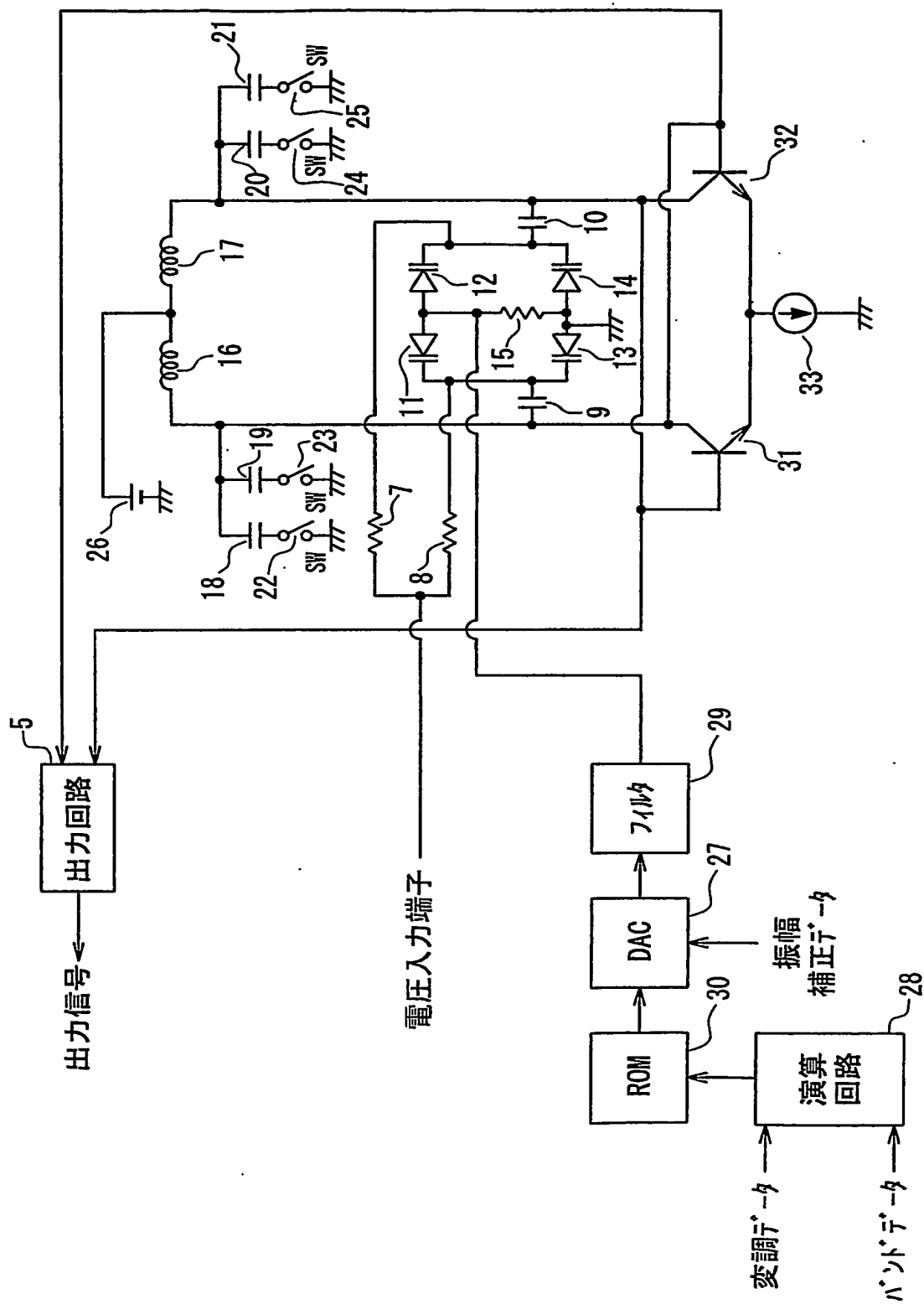


FIG. 16

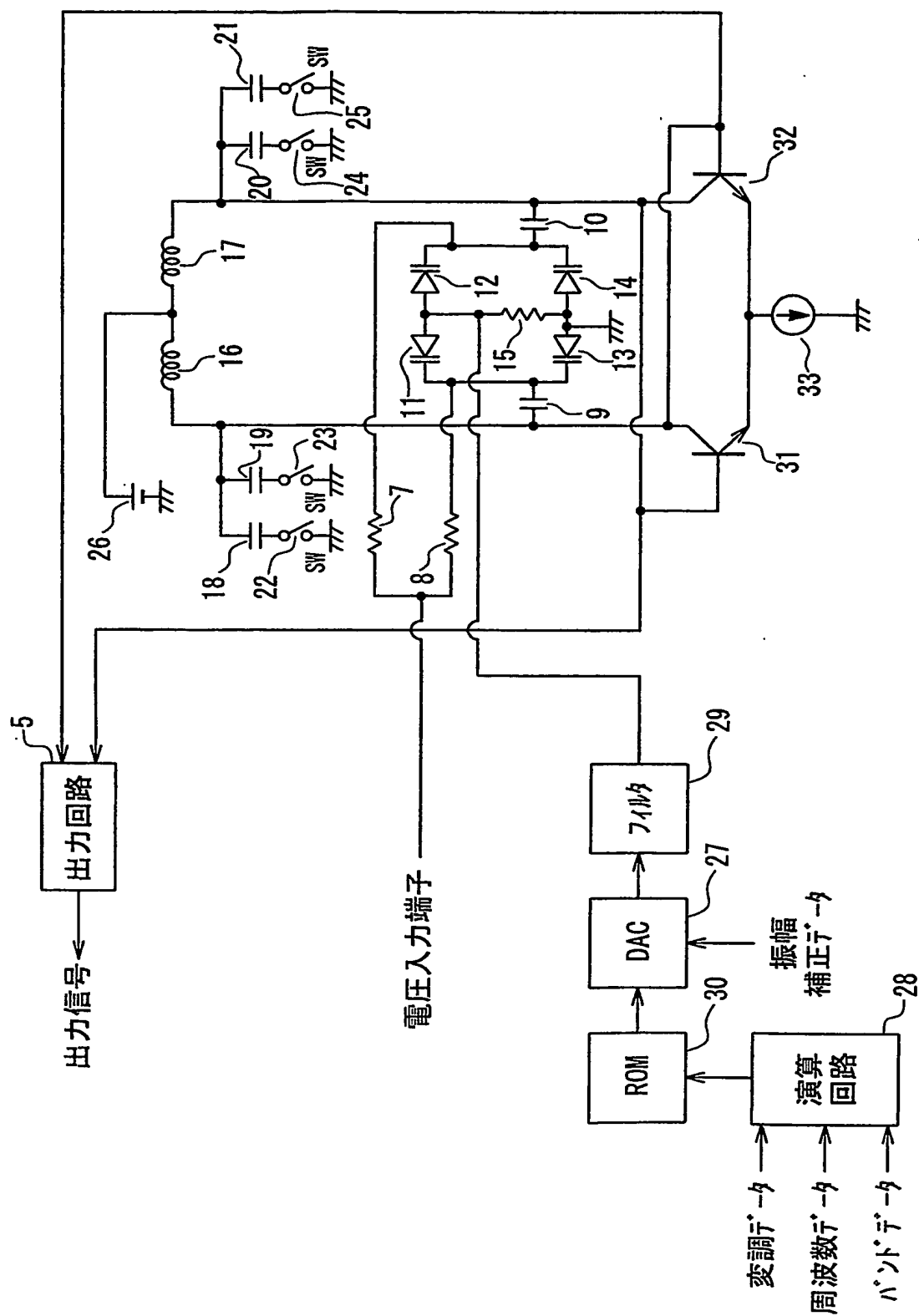


FIG. 17

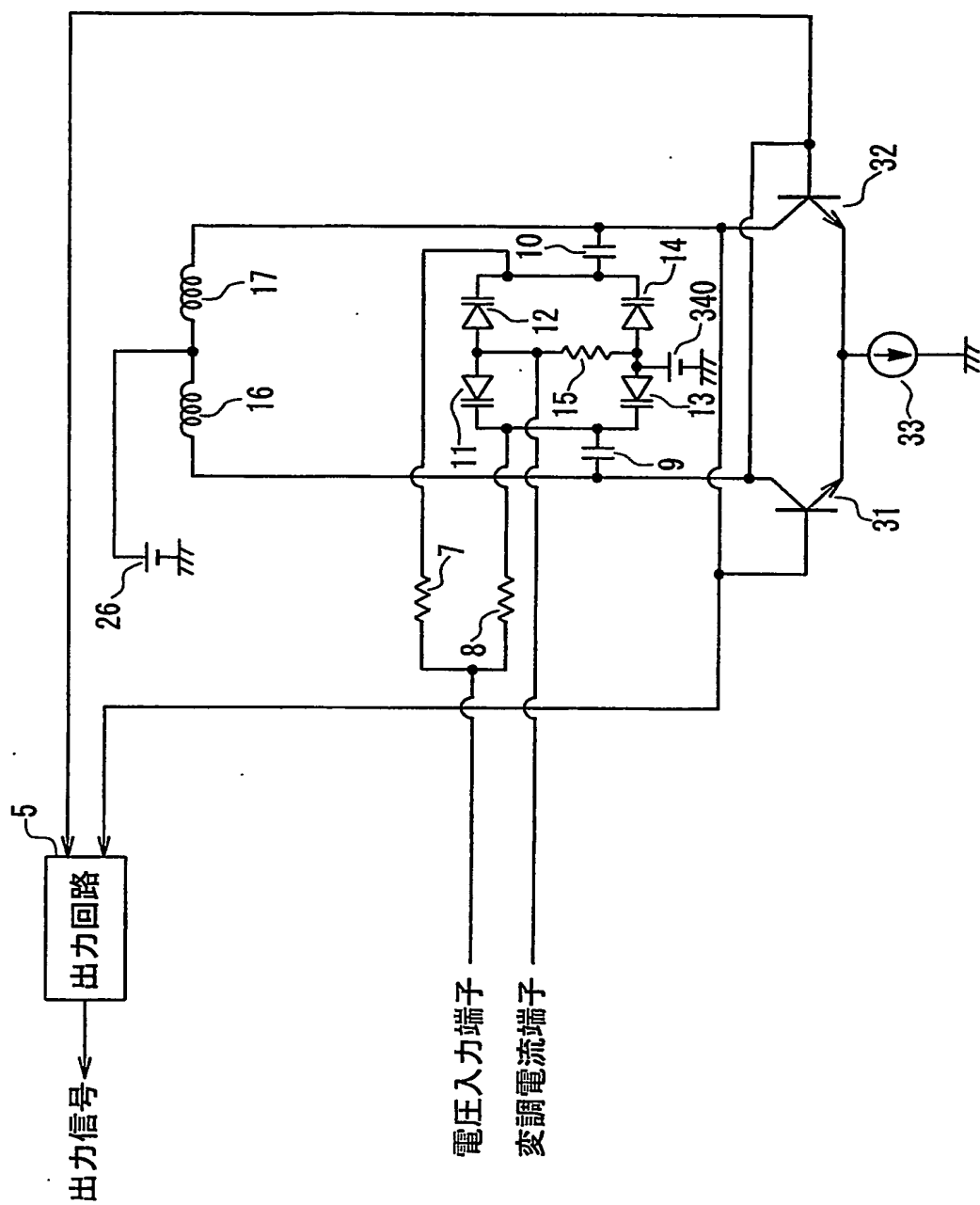


FIG. 18



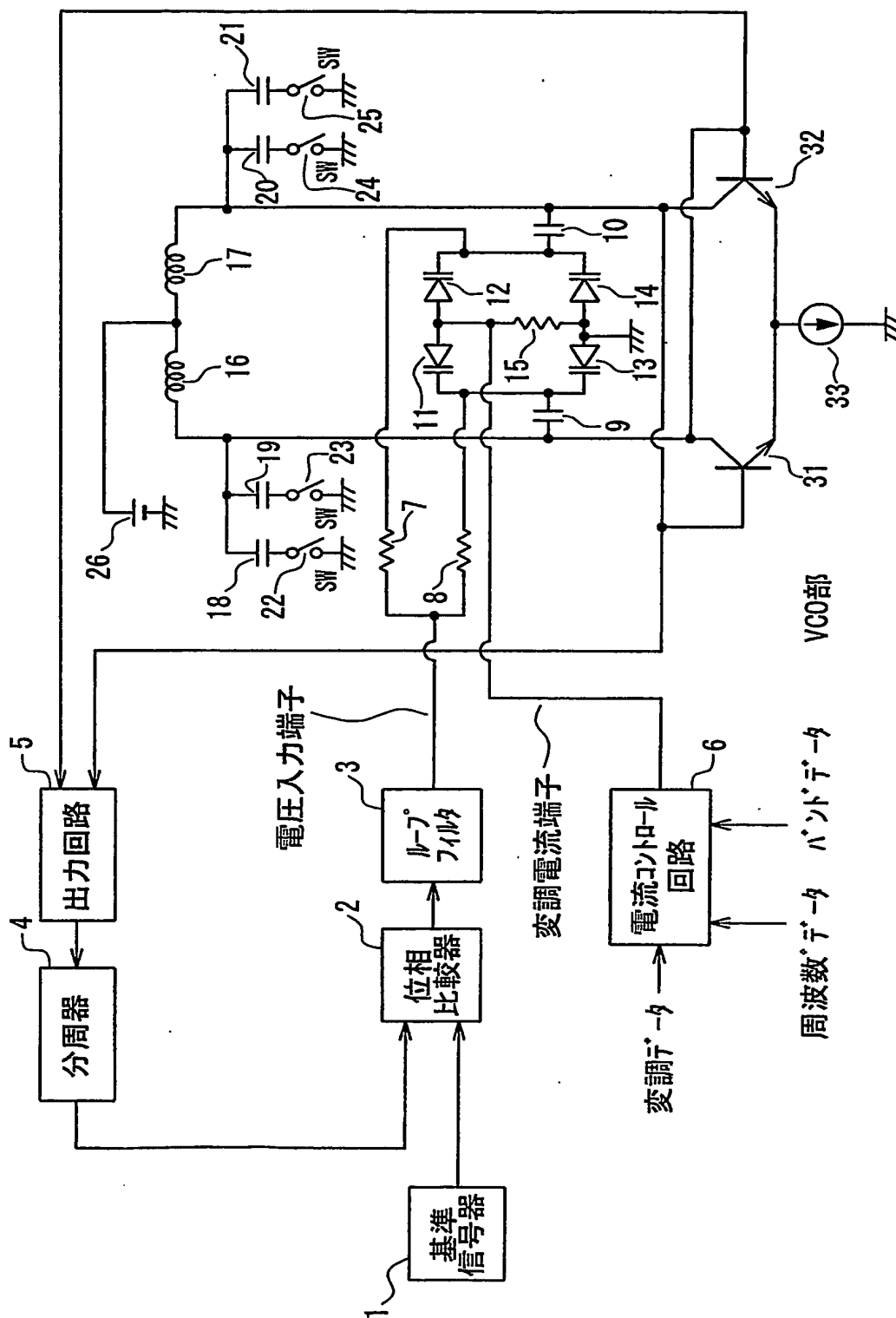


FIG. 19

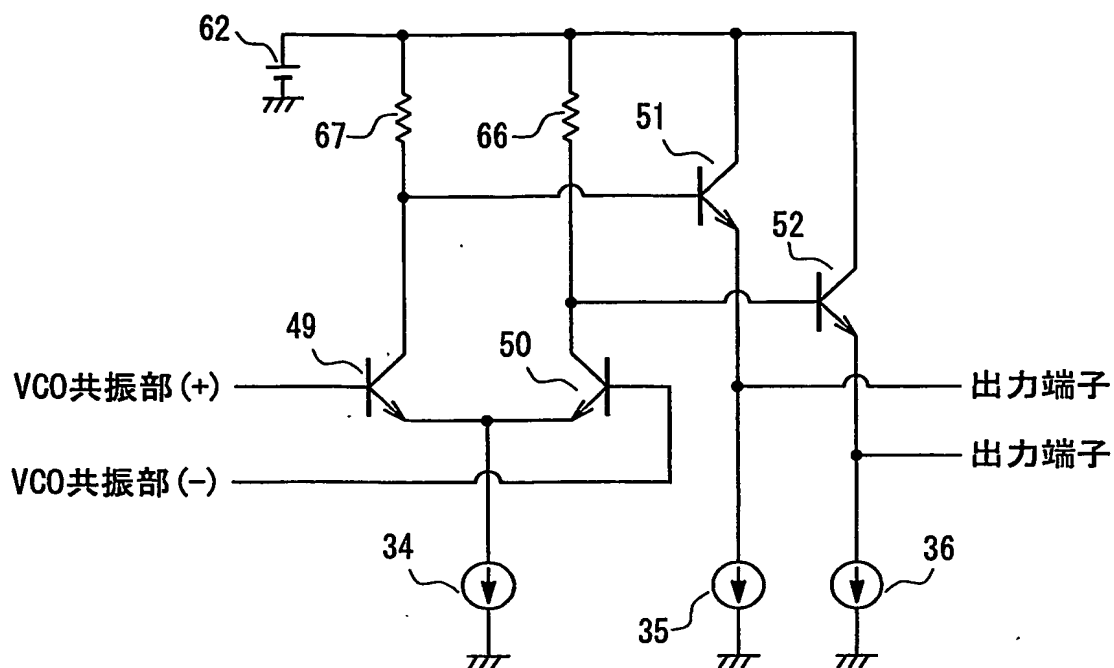


FIG. 20

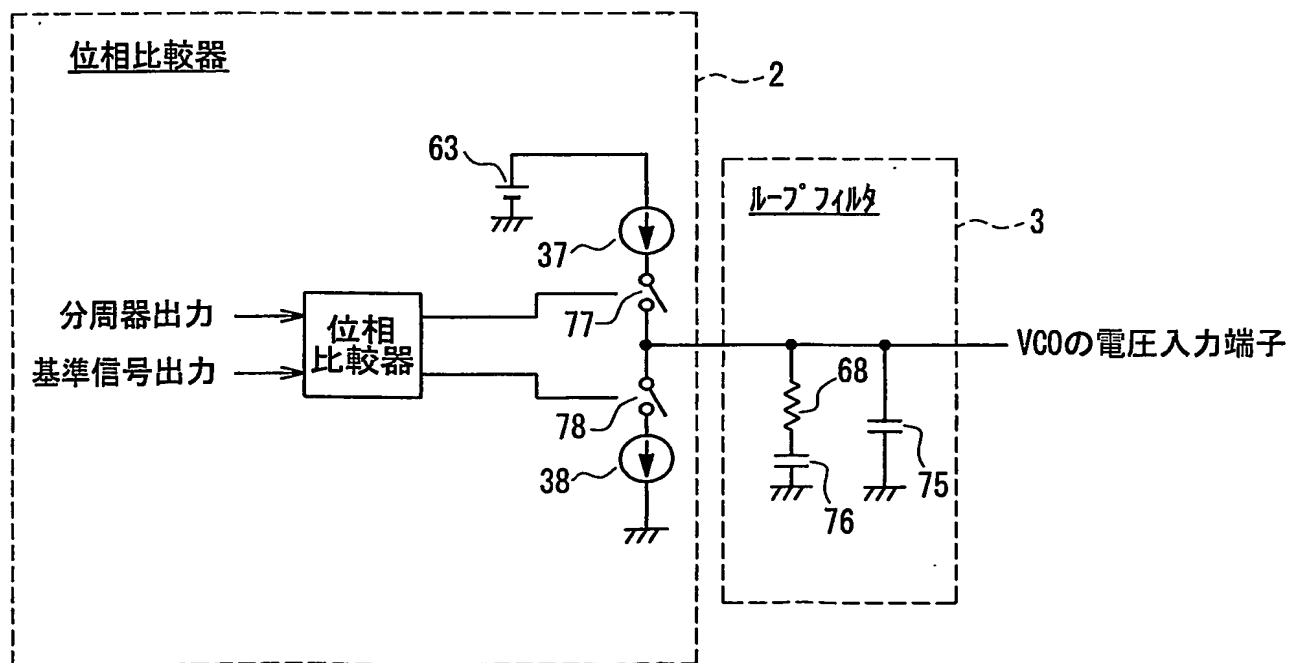


FIG. 21

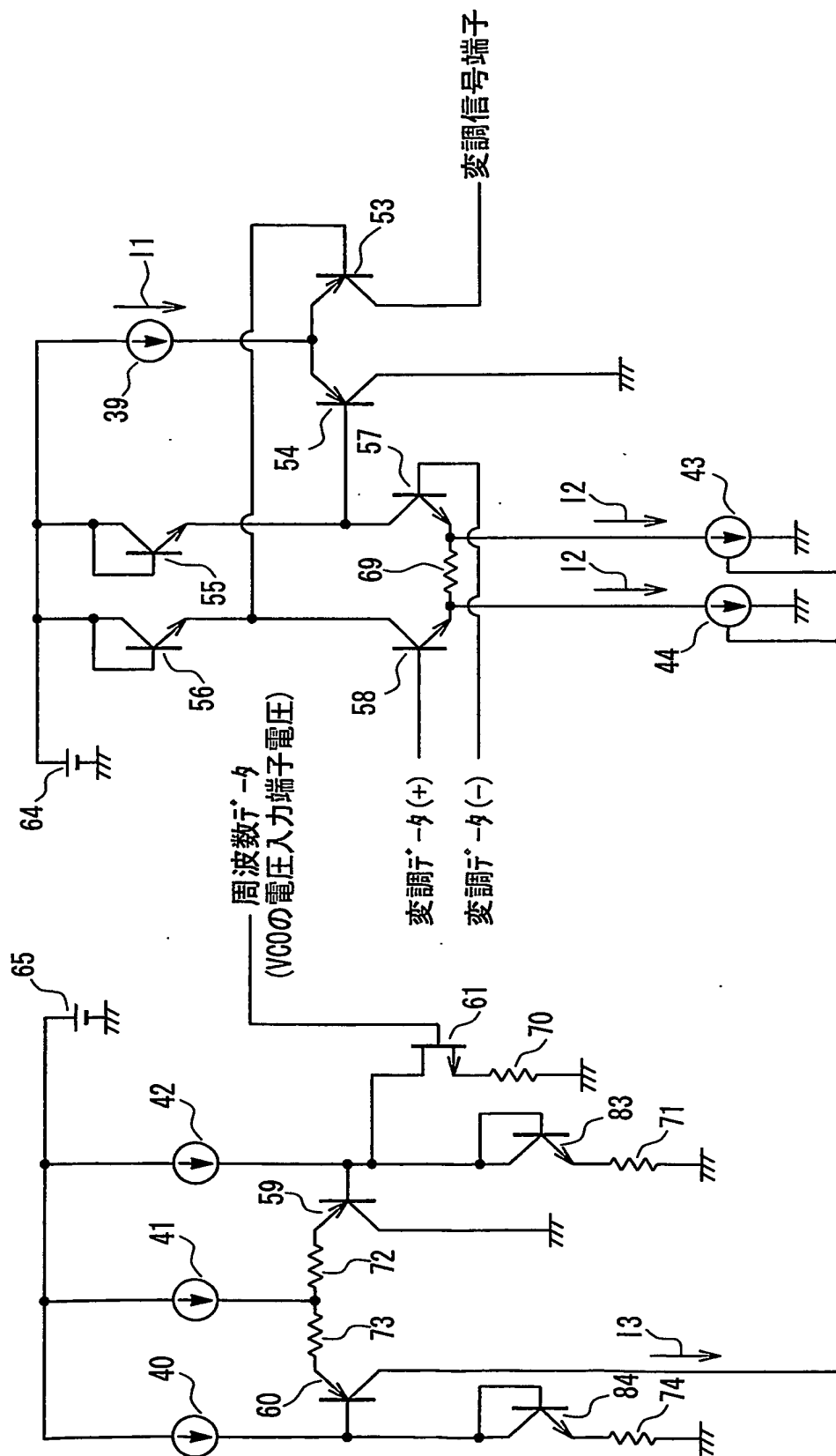
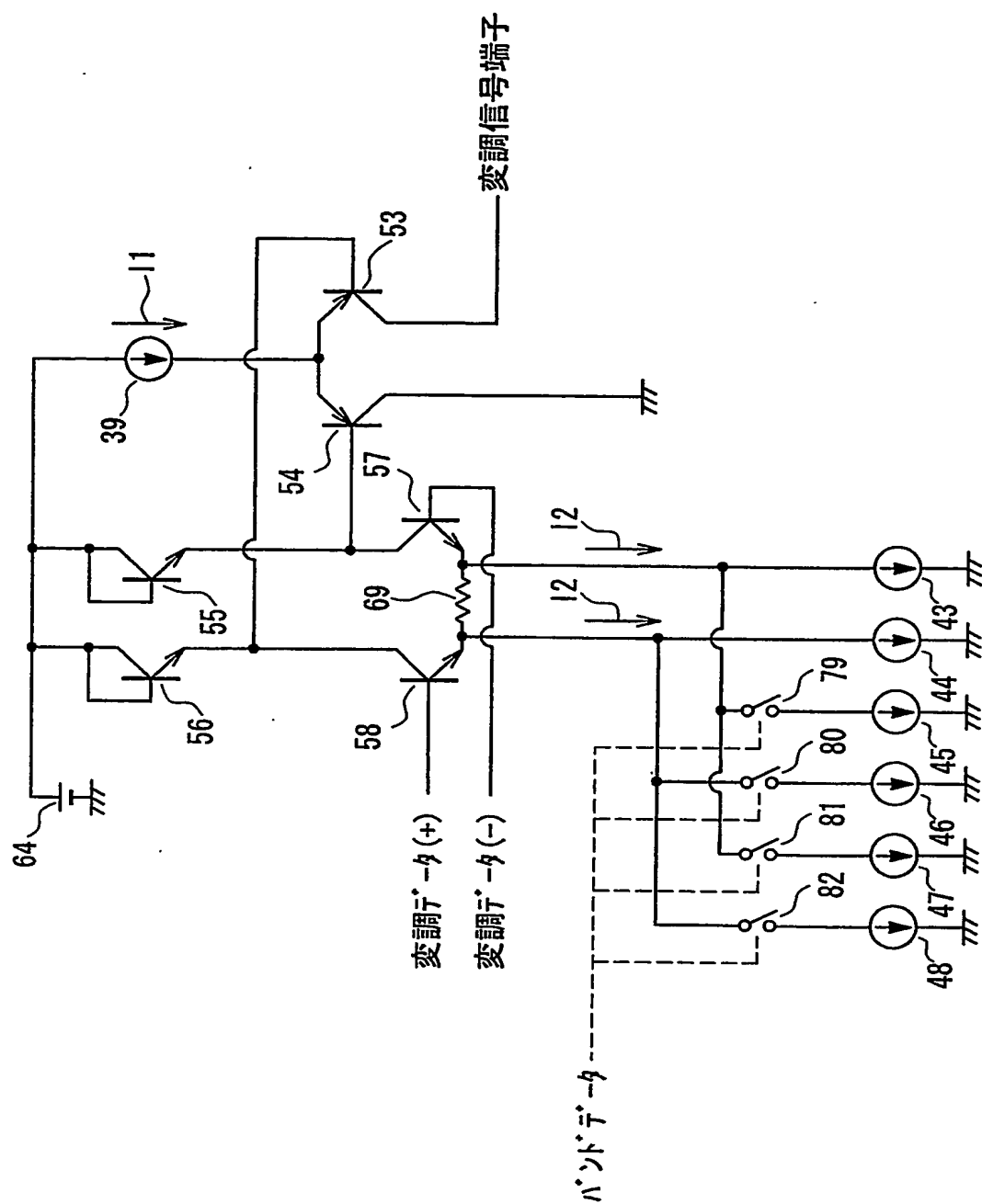


FIG. 22



**FIG. 23**

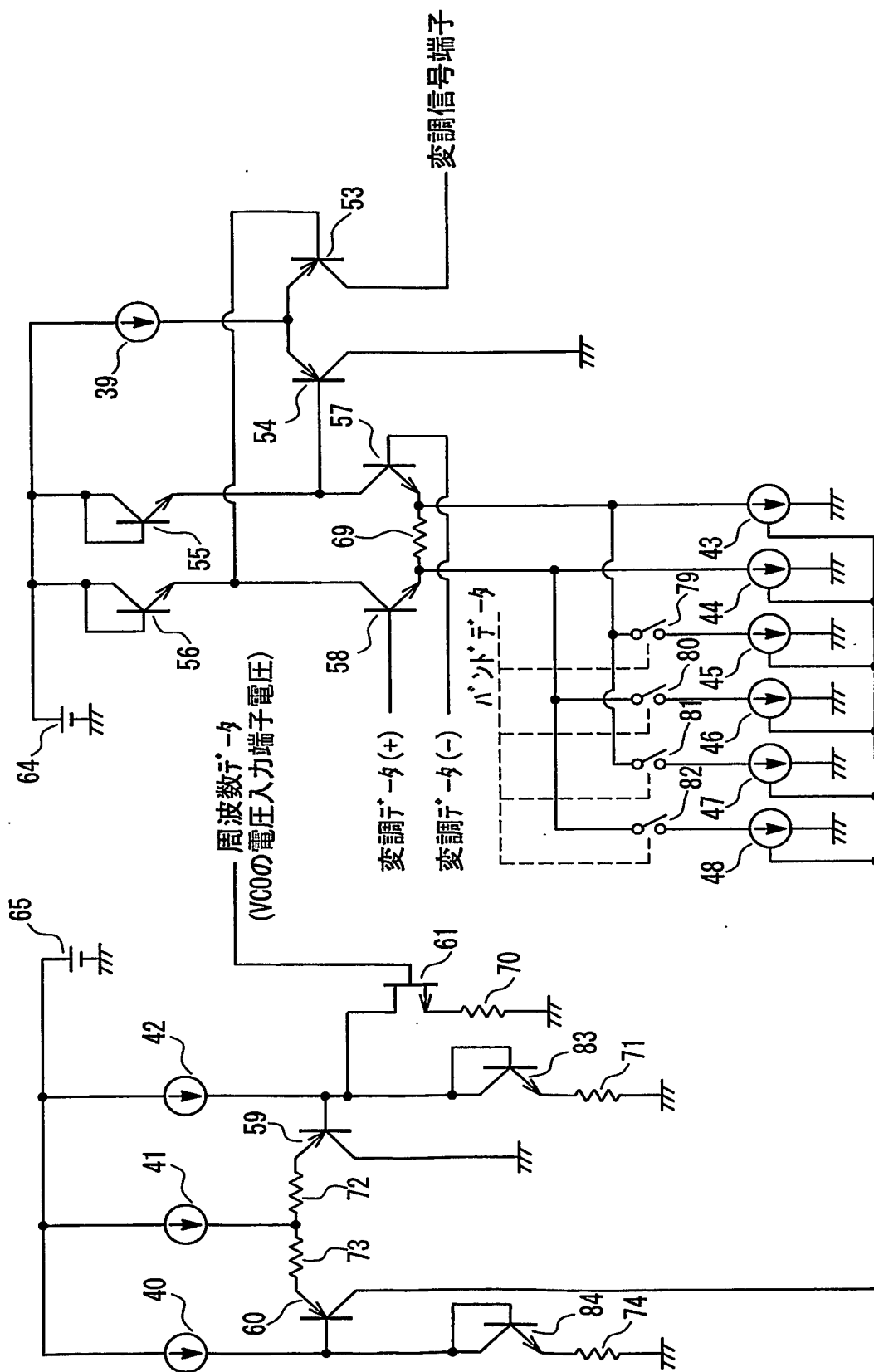


FIG. 24

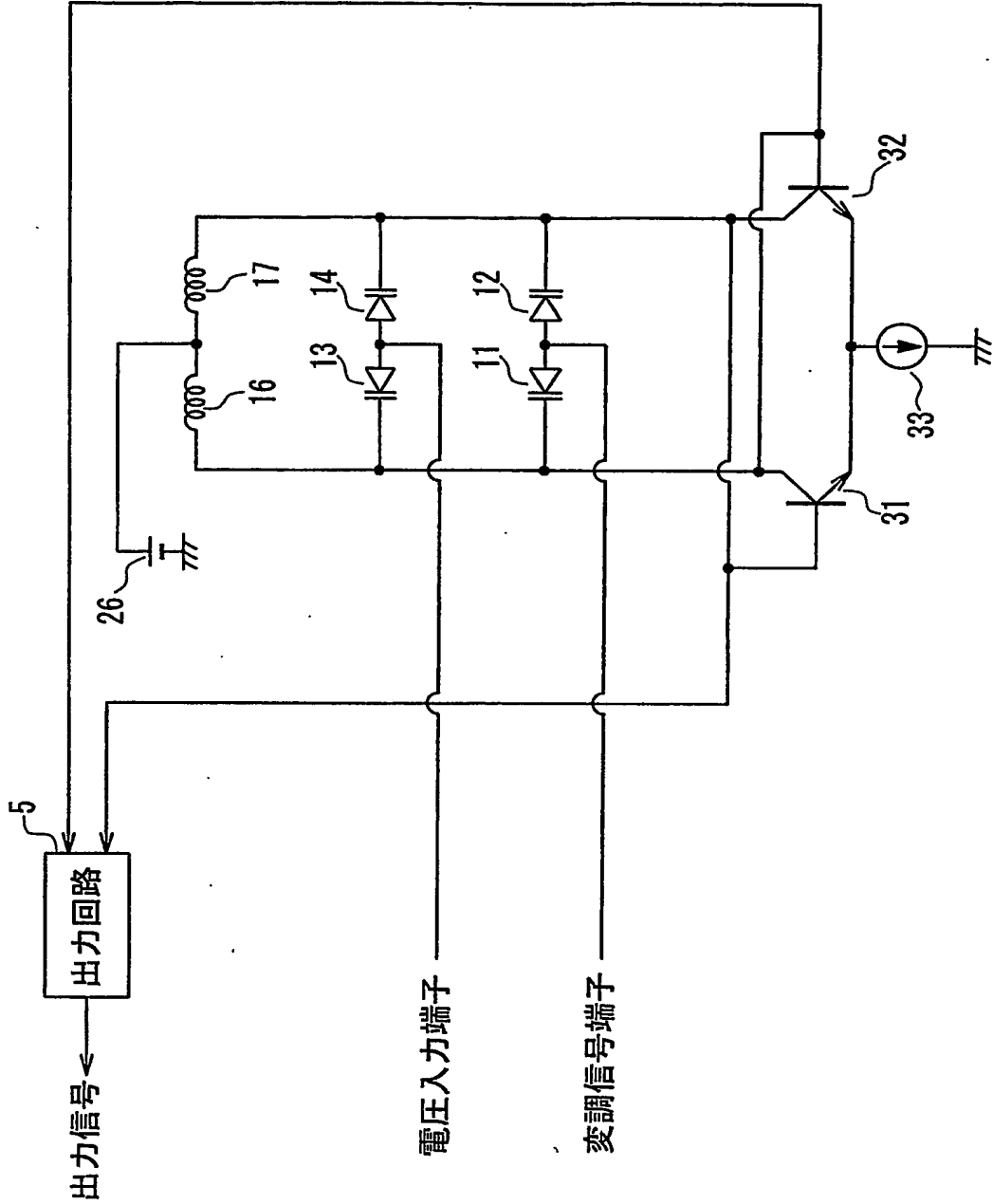


FIG. 25

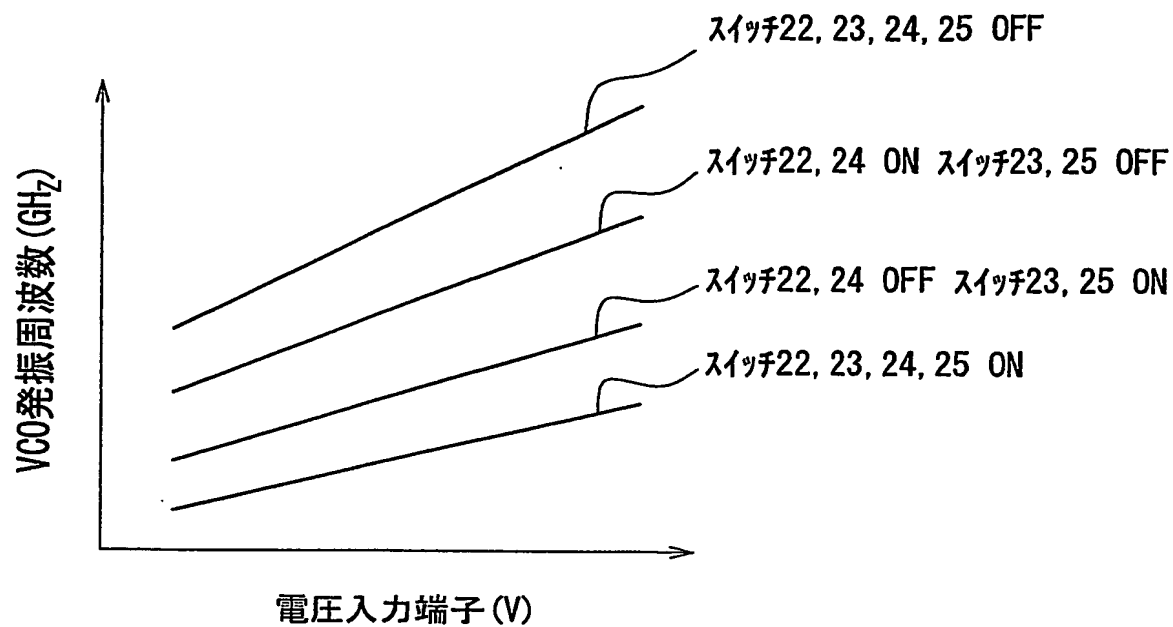


FIG. 26

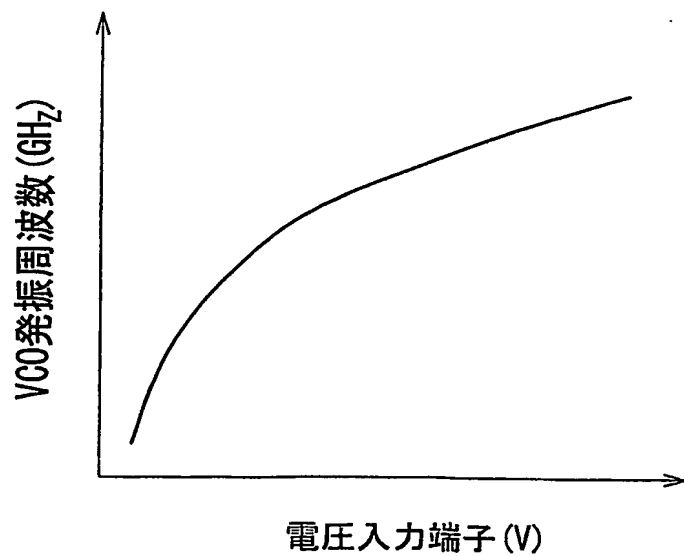


FIG. 27

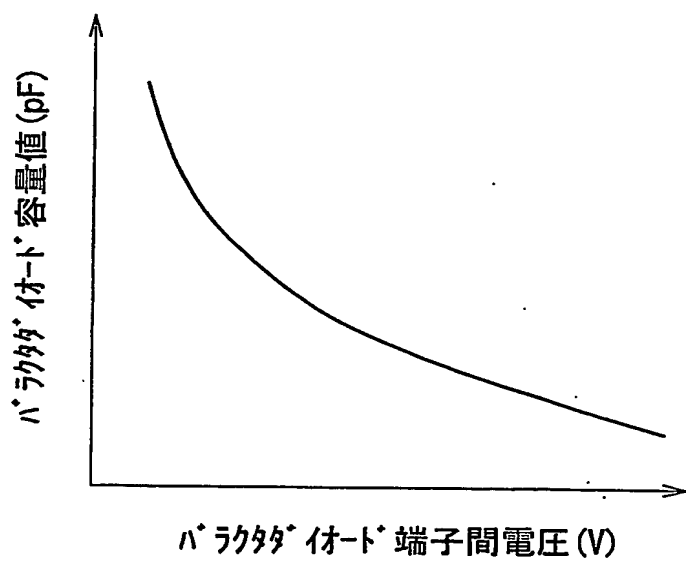


FIG. 28



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10235

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H03F3/45, H03B5/12, H03L7/18, H03C3/22

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H03F3/45, H03B5/12, H03L7/18, H03C3/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2003-92513 A (Oki Electric Industry Co., Ltd.), 28 March, 2003 (28.03.03), & US 2003/0052744 A1	1-19
P, A	JP 2003-17935 A (Matsushita Electric Industrial Co., Ltd.), 17 January, 2003 (17.01.03), (Family: none)	1-19
A	JP 2001-352218 A (Nippon Telegraph And Telephone Corp.), 21 December, 2001 (21.12.01), (Family: none)	1-19
A	JP 63-174427 A (Matsushita Electric Industrial Co., Ltd.), 18 July, 1988 (18.07.88), (Family: none)	1-19

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
11 November, 2003 (11.11.03)

Date of mailing of the international search report  
02 December, 2003 (02.12.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int. Cl<sup>7</sup> H03F3/45 H03B5/12 H03L7/18 H03C3/22

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
 Int. Cl<sup>7</sup> H03F3/45 H03B5/12 H03L7/18 H03C3/22

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PA	JP 2003-92513 A (沖電気工業株式会社) 2003. 03. 28 & US 2003/0052744 A1	1-19
PA	JP 2003-17935 A (松下電器産業株式会社) 2003. 01. 17 (ファミリーなし)	1-19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

11. 11. 03

国際調査報告の発送日

02.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 佐藤 敬介



5W 9196

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2001-352218 A (日本電信電話株式会社) 2001. 12. 21 (ファミリーなし)	1-19
A	J P 63-174427 A (松下電器産業株式会社) 1988. 07. 18 (ファミリーなし)	1-19